

TFT LIQUID CRYSTAL DISPLAY

Patent Number: JP8076726
Publication date: 1996-03-22
Inventor(s): IMASHIRO YOSHIHIRO; HASEGAWA KAORU; KONDO HIRONORI
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP8076726
Application Number: JP19950169649 19950705
Priority Number(s):
IPC Classification: G09G3/36; G02F1/133; G02F1/133; G02F1/136
EC Classification:
Equivalents:

Abstract

PURPOSE: To suppress the peak current passing transistor for driving in a common electrode current alternating driving method for a TFT liquid crystal display.

CONSTITUTION: This TFT liquid crystal display includes a TFT liquid crystal display panel which has plural thin-film transistors (TFTs) disposed in a matrix form, common electrodes, liquid crystals disposed between the plural TFTs and the common electrodes, plural gate signal lines disposed in the row direction and plural drain signal lines disposed in the column direction, a gate driving circuit 206 which drives the plural gate signal lines of the TFT liquid crystal display panel, a drain driving circuit 211 which drives the plural drain signal lines of the TFT liquid crystal display panel and a common driving circuit 203 which drives the common electrodes. The AC driving voltages of trapezoidal waveforms formed from alternating signals of a square wave in the common driving circuit 203 are impressed to the common electrodes.

Data supplied from the esp@cenet database - 12

Best Available copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-76726

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5			
	5 5 0			
1/136	5 0 0			

審査請求 未請求 請求項の数10 O L (全 33 頁)

(21) 出願番号	特願平7-169649	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成7年(1995)7月5日	(72) 発明者	今城 由博 千葉県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内
(31) 優先権主張番号	特願平6-156871	(72) 発明者	長谷川 薫 千葉県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内
(32) 優先日	平6(1994)7月8日	(72) 発明者	近藤 裕則 千葉県茂原市早野3300番地 株式会社日立 製作所電子デバイス事業部内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 秋田 収喜

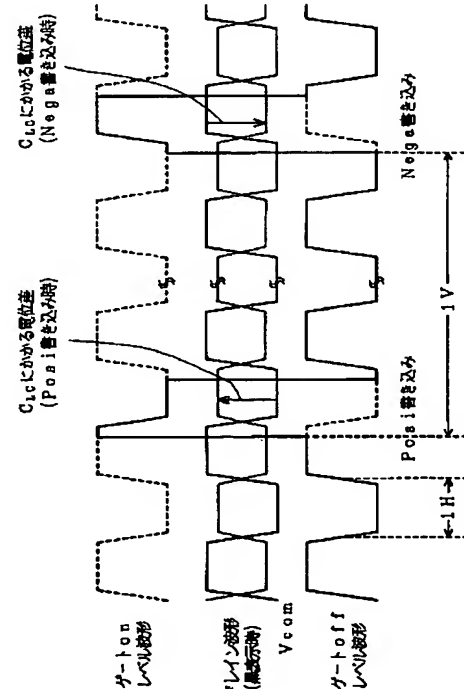
(54) 【発明の名称】 T F T液晶表示ディスプレイ

(57) 【要約】

【目的】 T F T液晶表示ディスプレイにおけるコモン電極交流化駆動法において、駆動用トランジスタに流れるピーク電流を抑制する。

【構成】 マトリックス状に設けられた複数の薄膜トランジスタと、コモン電極と、前記複数の薄膜トランジスタとコモン電極との間に設けられる液晶と、行方向に設けられた複数のゲート信号線と、列方向に設けられた複数のドレイン信号線とを有するT F T液晶表示パネルと、T F T液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、T F T液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、コモン電極を駆動するコモン駆動回路とを具備するT F T液晶表示ディスプレイにおいて、コモン駆動回路において、方形波の交流化信号から生成した台形波の交流駆動電圧をコモン電極に印加することを特徴とするT F T液晶表示ディスプレイ。

図 9



1

【特許請求の範囲】

【請求項 1】 マトリックス状に設けられた、画素電極と薄膜トランジスタを有する複数の画素と、共通電極と、前記複数の画素電極と共通電極との間に設けられる液晶と、行方向の薄膜トランジスタのゲート電極が接続される行方向に設けられた複数のゲート信号線と、列方向の薄膜トランジスタのドレイン電極が接続される列方向に設けられた複数のドレイン信号線とを有する TFT 液晶表示パネルと、 TFT 液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、 TFT 液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、共通電極を駆動する共通電極駆動回路と、コンピュータ部からの制御信号および表示用データが入力され、前記各回路を制御する表示制御装置とを具備し、共通電極駆動回路から台形波の交流駆動電圧を共通電極に印加して、共通電極を交流化駆動することを特徴とする TFT 液晶表示ディスプレイ。

【請求項 2】 上記 TFT 液晶表示ディスプレイは、共通電極印加電圧生成部を有し、上記共通電極印加電圧生成部は上記表示制御装置から来る方形波の制御信号を台形波に変換して上記共通電極駆動回路に入力することを特徴とする請求項 1 記載の TFT 液晶表示ディスプレイ。

【請求項 3】 上記 TFT 液晶表示パネルの周辺に、上記ゲート駆動回路が実装されるゲートドライバ基板と、上記ドレイン駆動回路が実装されるドレインドライバ基板と、上記共通電極駆動回路と電源回路が実装される電源基板と、上記表示制御装置が実装されるインタフェース基板とを配置し、上記ドレインドライバ基板を、上記 TFT 液晶表示パネルの上記ゲートドライバ基板が配置される側と直交する側の一方にのみ配置したことを特徴とする請求項 2 記載の TFT 液晶表示ディスプレイ。

【請求項 4】 マトリックス状に設けられた、画素電極と薄膜トランジスタと保持容量を有する複数の画素と、共通電極と、前記複数の画素電極と共通電極との間に設けられる液晶と、行方向の薄膜トランジスタのゲート電極が接続される行方向に設けられた複数のゲート信号線と、列方向の薄膜トランジスタのドレイン電極が接続される列方向に設けられた複数のドレイン信号線とを有する TFT 液晶表示パネルと、 TFT 液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、 TFT 液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、共通電極を駆動する共通電極駆動回路と、コンピュータ部からの制御信号および表示用データが入力され、前記各回路を制御する表示制御装置とを具備し、上記共通電極駆動回路から交流駆動電圧を上記共通電極に印加して、上記共通電極を交流駆動し、上記保持容量は上記画素電極と上記画素電極に隣接する上記ゲート信号線に接続され、上記ゲート駆動回路は、

2

ゲートオン電圧、或は、ゲートオン電圧よりも低いゲートオフ電圧を選択して上記ゲート信号線に印加し、上記ゲートオフ電圧は上記交流駆動電圧と同相、同振幅であることを特徴とする TFT 液晶表示ディスプレイ。

【請求項 5】 上記ゲートオン電圧は上記交流駆動電圧と同相、同振幅であることを特徴とする請求項 4 記載の TFT 液晶表示ディスプレイ。

【請求項 6】 上記ゲートオン電圧は直流電圧であることを特徴とする請求項 4 記載の TFT 液晶表示ディスプレイ。

【請求項 7】 上記 TFT 液晶表示パネルの周辺に、上記ゲート駆動回路が実装されるゲートドライバ基板と、上記ドレイン駆動回路が実装されるドレインドライバ基板と、上記共通電極駆動回路と電源回路が実装される電源基板と、上記表示制御装置が実装されるインタフェース基板とを配置し、ドレインドライバ基板を、 TFT 液晶表示パネルのゲートドライバ基板が配置される側と直交する側の一方にのみ配置したことを特徴とする請求項 6 記載の TFT 液晶表示ディスプレイ。

【請求項 8】 上記 TFT 液晶表示パネルは第 1 のダミーゲート信号線を具備し、上記 TFT 液晶表示パネルの第 1 行目の画素電極と上記第 1 のダミーゲート信号線の間に上記第 1 行目の画素電極に対応する保持容量が設けられ、上記第 1 のダミーゲート信号線にゲートオフ電圧と同じ電圧を印加することを特徴とする請求項 4 記載の TFT 液晶表示ディスプレイ。

【請求項 9】 上記 TFT 液晶表示パネルは第 2 のダミーゲート信号線を具備し、上記 TFT 液晶表示パネルの最終行目のゲート信号線と上記第 2 のダミーゲート信号線の間に最終行目のゲート信号線に対応する保持容量が設けられ、上記第 2 のダミーゲート信号線にゲートオフ電圧と同じ電圧を印加することを特徴とする請求項 4 記載の TFT 液晶表示ディスプレイ。

【請求項 10】 マトリックス状に設けられた、画素電極と薄膜トランジスタを有する複数の画素と、共通電極と、前記複数の画素電極と共通電極との間に設けられる液晶と、行方向の薄膜トランジスタのゲート電極が接続される行方向に設けられた複数のゲート信号線と、列方向の薄膜トランジスタのドレイン電極が接続される列方向に設けられた複数のドレイン信号線とを有する TFT 液晶表示パネルと、 TFT 液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、 TFT 液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、共通電極を駆動する共通電極駆動回路と、コンピュータ部からの制御信号および表示用データが入力され、前記各回路を制御する表示制御装置とを具備し、一方のトランジスタのベースに入力信号が、他方のトランジスタのベースに基準電位が印加され、2つのトランジスタのエミッタを共通に接続し、さらに、他方のトラ

3

ンジスタのコレクタと電源との間にコンデンサを接続し、他方のトランジスタのコレクタからレベルシフトされた入力信号を出力するレベルシフト回路を具備することを特徴とする TFT 液晶表示ディスプレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置に係わり、特に、TFT (Thin Film Transistor) 液晶ディスプレイに適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、TFT 液晶ディスプレイの1つとして、TFT 液晶表示モジュールが公知である。

【0003】図39は、前記従来の TFT 液晶表示モジュールの概略構成を示すブロック図である。

【0004】図39において、液晶表示パネル (TFT-LCD) は、640×3×480画素から構成され、液晶表示パネル (TFT-LCD) の上下にドレインドライバ511が配置され、この上下のドレインドライバ511を交互に薄膜トランジスタ TFT のドレイン線 (D) に接続し、薄膜トランジスタ TFT に液晶を駆動するための電圧を供給する。

【0005】また、薄膜トランジスタ TFT のゲート線 (G) には、液晶表示パネル (TFT-LCD) の側面に配置されたゲートドライバ506を接続し、1水平動作時間薄膜トランジスタ TFT のゲートに電圧を供給する。

【0006】1個の半導体集積回路 (LSI) より構成される表示制御装置501は、本体コンピュータからの表示用データと表示制御信号を受け取り、これを基にドレインドライバ511、ゲートドライバ506を駆動する。

【0007】この場合に、本体コンピュータからの表示用データは、1画素単位、即ち、赤 (R)、緑 (G)、青 (B) の各データを1つの組にして単位時間毎に転送する。

【0008】ここで、表示用データは、各色毎4ビットの12ビット、あるいは、各色毎6ビットの18ビットで構成されている。

【0009】また、ドレインドライバ511は、上下に配置されているので、表示制御装置501からドレインドライバ511を駆動するための出力は、制御信号および表示用データバスとも2系統有している。

【0010】図40は、従来の TFT 液晶表示モジュールのドレインドライバ511の概略構成を示すブロック図である。

【0011】図40に示すように、ドレインドライバ511は、表示用データのデータラッチ部551と出力電圧発生回路552とから構成される。

【0012】なお、図40に示すドレインドライバ51

4

1では、6ビットの表示用データと9値の階調基準電圧が外部より入力され、64レベルの出力電圧値が得られる。

【0013】データラッチ部551は、表示データラッチ用クロック信号 (CL1) に同期して表示データを出力本数分だけ取り込み、出力電圧発生回路552は、外部から入力された階調基準電圧から生成される64階調の出力電圧のうち、データラッチ部551からの表示データに対応する出力電圧を選択してドレイン信号線に出力する。

【0014】図41は、従来の TFT 液晶表示モジュールのドレインドライバ511の出力電圧発生回路552の回路構成を示す図であり、ドレイン信号線の総数分だけ設けられる出力電圧発生回路の中の1回路分の回路構成を示す。

【0015】図41に示すように、出力電圧発生回路は、外部より入力される9値の階調基準電圧 (V0~V8) 間をそれぞれ8等分した電圧値 (V00~V064) を生成し、それをデコーダ553で選択して出力する。

【0016】図42は、図41における階調基準電圧と出力電圧との関係を示す図である。

【0017】図42では、全部で65値の出力電圧値が得られるが、このうち、V8に等しいV064は使用しない。

【0018】

【発明が解決しようとする課題】また、TFT 液晶表示モジュールのコモン電極駆動法として、コモン電極に印加する電圧を交流化するコモン電極交流化駆動法を採用することにより、低耐圧のドレインドライバが使用できることが、従来から知られている (特開昭62-218943号公報参照。)

【0019】しかし上記従来技術では、画素電極と画素電極に隣接するゲート信号線との間に設けられる、保持容量に関しては全く考慮されていなかった。

【0020】また従来のコモン電極交流化駆動法においては、交流波形として方形波を使用していたため、位相が切り替わり時点で、大きなピーク電流が流れる為に、コモン電極駆動用トランジスタとして、定格電流値の大きなトランジスタが必要であり、それに伴い駆動回路が大型化するという問題があった。

【0021】また、TFT 液晶表示モジュールの駆動回路においては、差動増幅器タイプのレベルシフト回路が多用されている。

【0022】上記差動増幅器タイプのレベルシフト回路においては、正電源にノイズが重畳されると、その出力端子にもノイズが伝送されるが、正電源ラインに重畳されたノイズと出力端子に伝送されたノイズの波形が異なるため、レベルシフト回路の後段に接続される正電源を基準として動作するパファ回路が誤動作を行うという

10

20

30

40

50

問題があった。

【0023】また、液晶の対向電極—画素電極間に印加する電圧を変化させることにより、視角調整が行えることが特開平 3-259115 号公報に記載されており、従来の TFT 液晶表示モジュールにおいては、ドレイン信号線に印加する電圧を変化させて視角調整を行っていた。

【0024】一般にコモン電極交流駆動を行う TFT 液晶表示モジュールにおいて、ドレイン信号線 (D) に印加する電圧を変化させて視角調整を行うことは、回路構成が複雑になるという問題があった。

【0025】本発明の一つの目的は、TFT 液晶表示ディスプレイにおけるコモン電極交流化駆動法において、駆動用トランジスタに流れるピーク電流を抑制し、もって、TFT 液晶表示ディスプレイの外形サイズを小型化できる技術を提供することにある。

【0026】また、本発明の他の目的は、TFT 液晶表示ディスプレイにおいて、レベルシフト回路の後段に設けられる回路のノイズによる誤動作を防止することが可能な技術を提供することにある。

【0027】また本発明のさらに他の目的は、画素電極とその画素電極に隣接するゲート信号線との間に保持容量を設けるタイプの液晶表示パネル (TFT-LCD) において、コモン電極交流化駆動法を簡単な回路構成で実現することにある。

【0028】本発明の前記目的並びにその他の目的及び新規な構成は、本明細書の記載及び添付図面によって明らかにする。

【0029】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0030】(1) マトリックス状に設けられた、画素電極と薄膜トランジスタを有する複数の画素と、共通電極と、前記複数の画素電極と共通電極との間に設けられる液晶と、行方向の薄膜トランジスタのゲート電極が接続される行方向に設けられた複数のゲート信号線と、列方向の薄膜トランジスタのドレイン電極が接続される列方向に設けられた複数のドレイン信号線とを有する TFT 液晶表示パネルと、TFT 液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、TFT 液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、共通電極を駆動する共通電極駆動回路と、コンピュータ部からの制御信号および表示用データが入力され、前記各回路を制御する表示制御装置とを具備する TFT 液晶表示ディスプレイにおいて、共通電極駆動回路から台形波の交流駆動電圧を共通電極に印加して、共通電極を交流化駆動することの特徴とする。

【0031】(2) マトリックス状に設けられた、画素電極と薄膜トランジスタと保持容量を有する複数の画素

と、共通電極と、前記複数の画素電極と共通電極との間に設けられる液晶と、行方向の薄膜トランジスタのゲート電極が接続される行方向に設けられた複数のゲート信号線と、列方向の薄膜トランジスタのドレイン電極が接続される列方向に設けられた複数のドレイン信号線とを有する TFT 液晶表示パネルと、TFT 液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、TFT 液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、共通電極を駆動する共通電極駆動回路と、コンピュータ部からの制御信号および表示用データが入力され、前記各回路を制御する表示制御装置とを具備し、上記共通電極駆動回路から交流駆動電圧を上記共通電極に印加して、上記共通電極を交流駆動する TFT 液晶表示ディスプレイにおいて、上記保持容量は上記画素電極と上記画素電極に隣接する上記ゲート信号線に接続され、上記ゲート駆動回路は、ゲートオン電圧、或は、ゲートオン電圧よりも低いゲートオフ電圧を選択して上記ゲート信号線に印加し、上記ゲートオフ電圧は上記交流駆動電圧と同相、同振幅であることを特徴とする。

【0032】(3) マトリックス状に設けられた、画素電極と薄膜トランジスタを有する複数の画素と、共通電極と、前記複数の画素電極と共通電極との間に設けられる液晶と、行方向の薄膜トランジスタのゲート電極が接続される行方向に設けられた複数のゲート信号線と、列方向の薄膜トランジスタのドレイン電極が接続される列方向に設けられた複数のドレイン信号線とを有する TFT 液晶表示パネルと、TFT 液晶表示パネルの複数のゲート信号線を駆動するゲート駆動回路と、TFT 液晶表示パネルの複数のドレイン信号線を駆動するドレイン駆動回路と、共通電極を駆動する共通電極駆動回路と、コンピュータ部からの制御信号および表示用データが入力され、前記各回路を制御する表示制御装置とを具備する TFT 液晶表示ディスプレイにおいて、一方のトランジスタのベースに入力信号が、他方のトランジスタのベースに基準電位が印加され、2つのトランジスタのエミッタを共通に接続し、さらに、他方のトランジスタのコレクタと電源との間にコンデンサを接続し、他方のトランジスタのコレクタからレベルシフトされた入力信号を出力するレベルシフト回路を具備することの特徴とする。

【0033】

【作用】前記第 1 の手段によれば、TFT 液晶表示ディスプレイにおいて、コモン電極を台形波の交流駆動電圧で駆動するようにしたので、駆動用トランジスタのピーク電流を抑制でき、これにより、TFT 液晶表示ディスプレイの駆動回路が小型化され、TFT 液晶表示ディスプレイの外形サイズを小さくすることが可能である。

【0034】前記第 2 の手段によれば、従来、画素電極とその画素電極に隣接するゲート信号線との間に保持容量を設けるタイプの液晶表示パネル (TFT-LCD)

7

では実現が困難であった、コモン電極交流化駆動が簡単な回路構成で実現出来る。

【0035】前記第3の手段によれば、TFT液晶表示ディスプレイにおいて、正電源とレベルシフト回路の出力端子との間にコンデンサを接続し、正電源に重畳されたノイズをキャンセルするようにしたので、レベルシフト回路の後段に接続される回路の誤動作を防止することが可能となり、これにより、耐ノイズ性を向上させることが可能である。

【0036】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0037】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0038】図1は、本発明の液晶表示装置の実施例（実施例1）であるTFT液晶表示モジュールのTFT液晶表示パネルとその周辺に配置された回路を示すブロック図である。

【0039】本実施例1のTFT液晶表示モジュールは、TFT液晶表示パネル（TFT-LCD）の上側にドレインドライバ部103が配置され、また、TFT液晶表示パネル（TFT-LCD）の側面部には、ゲートドライバ部104、コントローラ部101、電源部102が配置される。

【0040】ドレインドライバ部103、ゲートドライバ部104、コントローラ部101及び電源部102は、それぞれ専用のプリント基板に実装される。

【0041】また、液晶表示パネル（TFT-LCD）は、640×3×480画素から構成される。

【0042】図2は、図1に示すTFT液晶表示パネル（TFT-LCD）の等価回路を示す図である。

【0043】図2に示すように、薄膜トランジスタTFTは、隣接する2本のドレイン信号線（DiG, DiB, ……）と、隣接する2本のゲート信号線（G0, G1, ……）との交差領域内に配置される。

【0044】薄膜トランジスタTFTのドレイン電極、ゲート電極は、それぞれ、ドレイン信号線（DiG, DiB, ……）、ゲート信号線（G0, G1, ……）に接続される。

【0045】薄膜トランジスタTFTのソース電極は画素電極に接続され、画素電極とコモン電極との間に液晶層が設けられるので、薄膜トランジスタTFTのソース電極との間には、液晶容量CLCが等価的に接続される。

【0046】薄膜トランジスタTFTは、ゲート電極に正のバイアス電圧を印加すると導通し、ゲート電極に負のバイアス電圧を印加すると不導通になる。

【0047】また、薄膜トランジスタTFTのソース電極と前ラインのゲート信号線との間には、保持容量CADDが接続される。

8

【0048】なお、ソース電極、ドレイン電極は本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース電極、ドレイン電極は動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース電極、他方をドレイン電極と固定して表現する。

【0049】その場合に、ゲート1ライン目の保持容量CADDの他端が開放状態になるのを防止するために、ゲート信号線（G1）の外側にダミーゲート信号線（G0）が設けられ、ゲート1ライン目の保持容量CADDの他端をダミーゲート信号線（G0）に接続する。

【0050】また、図3に示すTFT液晶表示パネル（TFT-LCD）の1画素の等価回路において、薄膜トランジスタTFTのドレイン-ゲート間、および、ゲート-ソース間には、浮遊容量CGD, CGSが存在する。

【0051】したがって、図4に示すように、各ゲート信号線の間には、保持容量CADDとゲート-ソース間の浮遊容量CGSとの直列回路が接続されることになる。

【0052】しかしながら、最終ラインのゲート信号線（Gend）の外側にはゲート信号線が存在しないため、最終ゲート信号線（Gend）とその他のゲート信号線（G1～Gend-1）の間では、ゲート信号線に接続されるコンデンサの容量値が相違する。

【0053】本実施例1のTFT液晶表示モジュールにおいては、ゲート信号線に接続されるコンデンサの容量値を略同じにするために、最終ゲート信号線（Gend）の外側に、ダミーゲート信号線（Gend+1）が設けられる。

【0054】また、正規のゲート信号線（G1～Gend）の両側に設けたダミーゲート信号線（G0, Gend+1）は、製造工程中において静電気が侵入するのを防止する効果も有している。

【0055】保持容量CADDは、良く知られているように、薄膜トランジスタ（TFT）がスイッチングするとき、ゲート電位変化が画素電極電位に与える影響を低減する働きをする。

【0056】また、保持容量CADDは、放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長い間蓄積する。

【0057】また図3に示すように、保持容量CADDを画素電極とそれに隣接するゲート信号線の間設けることにより一画素の構成が簡単になり、画素電極の面積を広く出来、開口率を向上することが出来る。

【0058】図5は、本実施例1のTFT液晶表示モジュールの各ドライバ（ドレインドライバ、ゲートドライバ、コモンドライバ）の概略構成と、信号の流れを示すブロック図である。

【0059】図5において、表示制御装置201、バッファ回路210は図1に示すコントローラ部101に設けられ、ドレインドライバ211は図1に示すドレイン

ドライバ部 103 に設けられ、ゲートドライバ 206 は図 1 に示すゲートドライバ部 104 に設けられる。

【0060】ドレインドライバ 211 は、前記図 40 に示すドレインドライバ 511 と同様に、表示データのデータラッチ部と出力電圧発生回路とから構成される。

【0061】また、階調基準電圧生成部 208、マルチプレクサ 209、コモン電圧生成部 202、コモンドライバ 203、レベルシフト回路 207、ゲートオン電圧生成部 204、ゲートオフ電圧生成部 205 および DC-DC コンバータ 212 は図 1 に示す電源部 102 に設けられる。

【0062】前記従来技術において説明したように、従来のコモン電極交流化駆動法においては、交流波形として方形波を使用していたため、位相が切り替わり時点で、コモン電極駆動用トランジスタに大きなピーク電流が流れ、定格値の大きなトランジスタが必要であり、それに伴い駆動回路が大型化するという問題点があった。

【0063】前記問題点を解決するために、本実施例 1 の TFT 液晶表示モジュールにおいては、図 5 に示すコモン電圧生成部 202 において、方形波の交流化信号 (M) を台形波の交流化信号に変換し、台形波の交流駆動電圧をコモン電極に印加している。

【0064】図 6 (a) は、図 5 に示すコモン電圧生成部 202 の回路構成、および図 6 (b) は、入出力波形を示す図である。

【0065】図 6 (a) のコモン電圧生成回路 302 において、図 6 (b) に示す方形波の High レベルがオペアンプ OP1 の交流化信号入力端子に印加されると、抵抗 R1 およびコンデンサ C1 を介して電流が流れ、コンデンサ C1 が充電されることにより、オペアンプ OP1 の出力電圧は徐々に低下していく。

【0066】そして、コンデンサ C1 の両端の電位差が、コンデンサ C1 と並列に接続されているダイオード D1 の順方向電圧を越えると、ダイオード D1 が導通することにより、オペアンプ OP1 の出力電圧は低電位側の一定の電圧となる。

【0067】また、図 6 (b) に示す方形波の Low レベルがオペアンプの交流化信号入力端子に印加されると、コンデンサ C1 が、コンデンサ C1 および抵抗 R1 を介して充電されることにより、オペアンプ OP1 の出力電圧は徐々に上昇していく。

【0068】そして、コンデンサ C1 の両端の電位差が、コンデンサ C1 と並列に接続されているダイオード D2 の順方向電圧を越えると、ダイオード D2 が導通することにより、オペアンプ OP1 の出力電圧は高電位側の一定の電圧となる。

【0069】これにより、図 6 (b) に示すように、オペアンプの出力端子から台形波の交流化信号が得られる。

【0070】なお、ダイオード D1 または D2 を複数個

直列に接続された単位ダイオードで構成することにより台形波の振幅レベルを変化させることができる。

【0071】この台形波の交流化信号をコモンドライバ 203 に入力し、コモン電極を台形波の交流駆動電圧で駆動することにより、図 7 に示すように駆動用トランジスタのピーク電流を抑制することが可能であり、これにより、TFT 液晶表示モジュールの駆動回路を小型化でき、TFT 液晶表示モジュールの外形サイズを小さくすることが可能である。

10 【0072】前記図 3 に示す等価回路において、液晶容量 CLC の他端はコモン電極 COM に接続されている。

【0073】そして、本実施例 1 の TFT 液晶表示モジュールでは、コモン電極を交流駆動波形で駆動するようにしたので、保持容量 CADD の他端が接続される前段のゲート信号線も、コモン電極に印加される交流駆動波形と同位相・同振幅の交流駆動波形を加えて駆動するようにしないと、液晶容量 CLC の両端の電位差を一定にたもつことができない。

20 【0074】そのため、本実施例 1 の TFT 液晶表示モジュールでは、図 5 に示すように、コモンドライバ 203 からの交流化信号をゲートオン電圧生成部 204、ゲートオフ電圧生成部 205 に入力して、コモン電極交流駆動波形を加えたゲートオン電圧、ゲートオフ電圧を生成するようにしている。

【0075】図 8 は、本実施例 1 の TFT 液晶表示モジュールにおける、ゲートオン電圧生成部 204、ゲートオフ電圧生成部 205 の回路構成を示す図である。

30 【0076】図 8 において、ゲートオン電圧発生回路 304 は、定電流源 I1 とツェナーダイオード ZD1 から構成されるレベルシフト回路と、オペアンプ OP2 と NPN 型トランジスタ TR1 と PNP 型トランジスタ TR2 から構成されるバッファ回路とで構成され、コモンドライバ 203 の出力電圧を、レベルシフト回路でシフトし、そのシフトされた電圧をバッファ回路で増幅するようにしたものである。

【0077】また、ゲートオフ電圧発生回路 305 は、定電流源 I2 とツェナーダイオード ZD2 から構成されるレベルシフト回路と、オペアンプ OP3 と NPN 型トランジスタ TR3 と PNP 型トランジスタ TR4 から構成されるバッファ回路とで構成され、コモンドライバ 203 の出力電圧を、レベルシフト回路でシフトし、そのシフトされた電圧をバッファ回路で増幅するようにしたものである。

【0078】図 9 に、コモン電極に印加されるコモン電圧 Vcom、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧の on, off レベル、および、その波形を示す。

【0079】なお、図 9 において、ドレイン波形は黒を表示しているときのドレイン波形を示す。

50 【0080】図 9 に示すように、コモン電圧 Vcom 波

形と、ゲート電圧の on レベル波形と、ゲート電圧の off レベル波形は、直流的なレベルが異なるだけで、形は同一である。従ってコモン電圧 Vcom 波形と、ゲート電圧の on レベル波形と、ゲート電圧の off レベル波形は、その中の 1 つの波形を生成することにより、他の 2 つの波形はそれをレベルシフトするだけで得ることができる。

【0081】本実施例 1 は、最初にコモン電圧 Vcom 波形を生成し、ゲート電圧の on レベル波形と、ゲート電圧の off レベル波形は、コモン電圧 Vcom 波形を

【0082】なお、コモン電圧 Vcom 波形、ゲート電圧の on レベル波形及びゲート電圧の off レベル波形の生成方法は、コモン電圧生成部 202 からの出力をコモンドライバ 203、ゲートオン電圧生成部 204 及びゲートオフ電圧生成部 205 に入力する、オーソドックスな方法もある。

【0083】しかし本実施例 1 によれば、図 5 に示すゲートオン電圧生成部 204 あるいはゲートオフ電圧生成部 205 が、図 8 に示す簡単な回路で構成でき、TFT

【0084】また、最初にゲート電圧の on レベル波形あるいはゲート電圧の off レベル波形を生成し、それをレベルシフトすることによりコモン電圧 Vcom 波形を得ることも可能である。その場合は、図 5 に示すコモンドライバ 203 が簡単な回路で構成でき、TFT 液晶表示モジュールの実装密度が向上する。

【0085】図 5 に示すブロック図においては、ゲートオン電圧、および、ゲートオフ電圧の両方にコモン電極交流駆動波形を加えたが、ゲートオン電圧は、直流電圧でも薄膜トランジスタ TFT は動作可能であるので、図 5 において、ゲートオン電圧生成部 204 は省略可能である。

【0086】ゲートオン電圧生成部 204 を省略することにより、回路構成が簡単になり、それにより、TFT 液晶表示モジュールの小型化を図ることが可能である。

【0087】図 10 に、ゲートオン電圧生成部 204 を省略した場合の、コモン電極に印加されるコモン電圧 Vcom、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧の on、off レベル、および、その波形を示す。

【0088】また、前記したように（図 2 参照）、ゲート 1 ライン目の保持容量 CADD の他端は、ダミーゲート信号線（G0）に接続されている。

【0089】前記最初のダミーゲート信号線（G0）に、正規のゲート駆動電圧（ゲート on レベル、ゲート off レベル）を印加することにより、駆動条件を他のゲート信号線と同じにすることができ、これにより、1 ライン目の画素のコントラストを向上させることができる。

【0090】さらに、前記最終のダミーゲート信号線（Gend+1）にも、正規のゲート駆動電圧（ゲート on レベル、ゲート off レベル）を印加することにより、駆動条件を他のゲート信号線と同じにすることができ、これにより、最終ラインの画素のコントラストを向上させることができる。

【0091】なお、ゲート信号線にコモン電極に印加される電圧と同相同振幅の電圧波形を印加する公知例としては特開平 5-297826 号公報及び米国特許公報 US 5,300,945 がある。

【0092】しかし上記公知例には、本発明の、画素電極と画素電極に隣接するゲート信号線の間に保持容量を設けるタイプの液晶パネルにコモン電極交流駆動法を実現する方法に関しては全く開示されていない。

【0093】図 11 は、本発明の液晶表示装置の実施例（実施例 2）である TFT 液晶表示モジュールの電源部 102 の回路構成を示す図である。

【0094】本実施例 2 では、ゲートオン電圧生成部 204 が省略されている。

【0095】なお、図 11 中に、図 5 における、階調基準電圧生成部 208、マルチプレクサ 209、コモン電圧生成部 202、コモンドライバ 203、レベルシフト回路 207、ゲートオフ電圧生成部 205 および DC-DC コンバータ 212 を、点線枠で示す。

【0096】図 11 において、カレントミラー回路 CM は、図 8 に示す定電流源 I2 に相当し、ツェナーダイオード ZD2 とカレントミラー回路 CM とでレベルシフト回路を構成する。

【0097】コモンドライバ 203 からの出力電圧が、レベルシフト回路においてレベルシフトされ、そのレベルシフトされた電圧がゲート off レベルとして取り出される。

【0098】また、図 11 においては、フレーム信号（FLM）、および、クロック信号（CL3）は、レベルシフト回路（410、420）でレベルシフトされ、バッファ回路 430 に入力される。

【0099】そして、バッファ回路 430 から出力されたフレーム信号（FLM'）およびクロック信号（CL3'）が、ゲートドライバに入力されるようになっている。

【0100】しかしながら、何らかの原因により、正電源（VDG）にノイズが重畳されるとバッファ回路は正電源（VDG）を基準に動作しているため、バッファ回路 430 は誤動作を行い、TFT 液晶表示モジュールが誤表示をしてしまう。

【0101】そのため、図 11 に示す回路構成においては、正電源（VDG）とレベルシフト回路出力（FLM' 又は CL3'）との間にコンデンサ C2 を接続するようにしている。

【0102】前記バッファ回路 430 の誤動作について

て、図 12 を用いて説明する。

【0103】一般に TFT 液晶パネルでは、図 2 に示すように、多数のゲート線 (G1, G2, ……) とドレイン線 (DiG, DiB, ……) 或はコモン電極 (COM) が、線間の浮遊容量或は液晶容量 (CLC) により交流的に結合されている。

【0104】従ってゲートドライバ部 104 に走査パルスが入力されない期間も、液晶パネルの線間容量或は液晶容量 (CLC) を介して他のパルス (例、表示信号、コモン電極駆動パルス) がノイズとしてゲートドライバ部 104 に入り込む。レベルシフト回路の正電源 (VDG) はゲートドライバ部 104 の正電源にも接続されているため、上記液晶パネルで発生したノイズはレベルシフト回路の正電源 (VDG) に重畳される。

【0105】図 12 (a) に示す差動増幅器タイプのレベルシフト回路において、正電源に同図 (b) に示すようなノイズが重畳された場合に、コンデンサ C2 が接続されていないときには、レベルシフト回路の出力端子に、正電源から重畳されたノイズが、トランジスタ TR5 のコレクターベース間の浮遊容量 CCB を介してアースに流れるために、レベルシフト回路の出力電圧は、同図 (b) 実線で示すようにノイズの立ち下がり部分で急激に変化する。

【0106】このため、正電源 (VDG) を基準にしてレベルシフト回路の出力電圧を考えると、図 12 (c) に示すように、ノイズの立ち下がり部分において、正電源とレベルシフト回路の出力電圧との電位差が小さくなり、偽パルスが発生し、これにより、バッファ回路 430 は誤動作を行う。

【0107】即ち、図 11 に示す電源部に入力される CL3 がロウレベルの時に、ゲートドライバには前記偽パルスが CL3 の代りに入力される。ゲートドライバに前記偽パルスが入ると、ゲートドライバはシフト動作を行うので誤表示が起こる。

【0108】本実施例では、正電源 (VDG) とレベルシフト回路の出力端子との間にコンデンサ C2 を接続することにより、正電源 (VDG) に重畳されたノイズと同じ波形のノイズが、コンデンサ C2 を通りレベルシフト回路の出力端子に重畳されてキャンセルされるため、正電源 (VDG) を基準にしてレベルシフト回路の出力電圧を考えると、図 12 (b) 破線に示すように、正電源 (VDG) とレベルシフト回路の出力電圧との電位差は略一定の電位差となる。

【0109】これにより図 12 (c) 破線に示すように偽パルスは発生せず、バッファ回路 430 の誤動作を防止することが可能となり、耐ノイズ性を向上させることが可能である。

【0110】なお、コンデンサ C2 の値が大きいとレベルシフト回路の機能が失われ、C2 の値が小さいとノイズキャンセルの効果が少ないので、コンデンサ C2 の値

は、20~100 pF の値とする必要がある。

【0111】また、従来の TFT 液晶表示モジュールにおいては、ドレイン信号線 (D) に印加する電圧を変化させて視角調整を行っていたが、視角調整を行うためには、液晶の対向電極—画素電極間に印加する電圧を変化させても良い、従って、本実施例 2 では、視角を調整するために、コモン電極に印加される電圧を変化させるようにしている。

【0112】そのため、図 11 に示す電源部の回路構成においては、端子 VA1, VA2, VA3 に図 13 に示すような可変抵抗を、接続することにより、コモン電圧生成部 202 で生成される交流駆動波形のコモン電圧の振幅を変化させるようにしている。

【0113】これにより、比較的簡単な回路構成により TFT 液晶表示モジュールの視角調整が可能となり、また、TFT 液晶表示モジュールの駆動回路が単純化されるとともに、TFT 液晶表示モジュールの外形寸法を小型化することが可能となる。

【0114】次に、図 11 に示す回路構成における階調基準電圧生成部 208 と、マルチプレクサ 209 について説明する。

【0115】図 11 に示すように、階調基準電圧生成部 208 は、2つの分圧回路で構成され、前記 2つの分圧回路の各出力がマルチプレクサ 209 に入力される。

【0116】前記 2つの分圧回路の抵抗直列回路は、1 番目の分圧回路を構成する抵抗直列回路が、RB1, RB2, ~RB10 であったとすると、2 番目の分圧回路を構成する抵抗直列回路は、RB10, RB9~RB1 の関係になるように構成されている。

【0117】また、マルチプレクサ 209 は、交流化信号 (M) の High レベル、Low レベルに応じて 2つの分圧回路からの出力を切り替えて階調基準電圧 (V0~V8) を出力するようにしている。

【0118】今仮に、ドレインドライバ 211 からドレイン電極に V7 の階調基準電圧が、コモンドライバ 203 からコモン電極 (COM) に Low レベルのコモン電圧 (Vcom) が印加されているとすると、交流化信号 (M) の反転に伴って、コモンドライバ 203 からコモン電極 (COM) には、High レベルのコモン電圧 (Vcom) が印加される。

【0119】その場合に、ドレインドライバ 211 には、反転された表示用データが入力されドレインドライバ 211 からは、ドレイン電極に V1 の階調基準電圧が印加されるようになっている。

【0120】抵抗直列回路が 2つある理由は、図 43 に示すように液晶にはガンマ特性がある為、正転時と反転時でドレインドライバ 211 に与える階調基準電圧を切り換える必要があるからである。

【0121】また、図 11 に示すコモンドライバ 203 のオペアンプ OP4 の反転入力端子に接続される半固定

抵抗VRは、コモン信号電圧(Vcom)の直流レベルを調整するためのものである。

【0122】次に、本発明の液晶表示装置の他の実施例(実施例3)であるTFT液晶表示モジュールについて説明する。

【0123】本実施例3のTFT液晶表示モジュールは、良好な階調表示が行えるようにしたものである。

【0124】図14に、本実施例3のTFT液晶表示モジュールのドレインドライバ211の出力電圧発生回路の回路構成を示し、ドレイン信号線(D)の総数だけ設けられる出力電圧発生回路の中の1回路分の回路構成を示している。

【0125】なお、本実施例3のTFT液晶表示モジュールのドレインドライバ211の構成は、前記図40に示すドレインドライバ511と同じであり、表示用データのデータラッチ部と出力電圧発生回路とから構成される。

【0126】一般に図43に示すように、液晶の印加電圧-透過率特性は、使用電圧範囲の両端部で非線形特性が著しく、中央部では比較的線形特性を示す。

【0127】そのため、本実施例3のTFT液晶表示モジュールのドレインドライバ211の出力電圧発生回路においては、外部からの各階調基準電圧間に内挿する電圧値の数を使用電圧範囲の両端部では少なくし、中央部で多くするように、外部より入力される9値の階調基準電圧(V0~V8)間をそれぞれ16等分し、液晶の電圧-透過率特性が非線形特性を示す使用電圧範囲の両端部では、16等分の中から最も適切な3点、あるいは、7点の電圧をデコーダで選択し、また、液晶の電圧-透過率特性が比較的線形特性を示す使用電圧範囲の中央部では、16等分された電圧をデコーダ253で選択するようにしたものである。

【0128】したがって、本実施例3のTFT液晶表示モジュールのドレインドライバの出力電圧発生回路においては、各階調基準電圧間に内装される階調数は順に、3, 3, 7, 15, 15, 7, 3, 3となっている。

【0129】また本実施例3では実施例2と同じく図11に示す電源部を用い、階調基準電圧生成部208においては、9値の階調基準電圧(V0~V8)を、液晶の電圧-透過率特性が非線形特性を示す使用電圧範囲の両端部の階調基準電圧(V0-V1, V1-V2, V2-V3, V5-V6, V6-V7, V7-V8)間では電位差が小さく、液晶の電圧-透過率特性が比較的線形特性を示す使用電圧範囲の中央部の階調基準電圧(V3-V4, V4-V5)間では電位差が大きくなるような階調基準電圧を生成する。

【0130】図15は、図14における各階調基準電圧と出力電圧との関係を示す図である。

【0131】図15では、全部で65値の出力電圧値が得られるが、このうち、V8に等しいV064は使用し

ない。

【0132】また、図16は、図15におけるデコーダ入力とデコーダ出力の対応関係を示す表である。

【0133】以上説明したように、本実施例3のTFT液晶表示モジュールにおける階調基準電圧生成部208とドレインドライバ211の出力電圧発生部を使用すれば、液晶の印加電圧-透過率特性の非線形特性が著しい使用電圧範囲の両端部において、外部より任意に設定できる階調基準電圧数を多くでき、本来望ましい階調電圧とドレインドライバ内部で生成される階調電圧との「ずれ」を少なくできる。

【0134】ただし、液晶の印加電圧-透過率特性が、線形特性を示す使用電圧範囲の中央部においては、外部より任意に設定できる階調基準電圧数が減少し、ドレインドライバ211の内部で生成される階調電圧数が増加する。

【0135】しかしながら、使用電圧範囲の中央部は、液晶の印加電圧-透過率特性が比較的線形特性を示すので、望ましい階調電圧とドレインドライバ211の内部で生成される階調電圧との「ずれ」があまり大きくなり、大きな問題となることはない。

【0136】これにより、液晶の電圧-輝度特性にあったガンマ補正電圧を得ることができ、より良好な階調表示特性を得ることが可能である。

【0137】しかも、外部から入力する階調基準電圧値の数を増やす必要もなく、また、周辺回路を増加する必要もないので、周辺回路部品の増加に伴うコストアップや実装面積の増大もない。

【0138】本実施例1のTFT液晶表示モジュールにおいては、図1に示すように、ドレインドライバ211を液晶表示パネル(TFT-LCD)の上側にのみ配置する。

【0139】図17は、本実施例1のTFT液晶表示モジュールにおける、ドレインドライバ211に対する表示用データとクロック信号の流れを示す図である。

【0140】ドレインドライバ211の前段のキャリー出力は、そのまま次段のドレインドライバ211のキャリー入力に入力される。

【0141】このキャリー信号によりドレインドライバ211のデータラッチ部551のラッチ動作が制御され、誤った表示データがデータラッチ部551に書き込まれるのを防止している。

【0142】表示制御部201は、本体コンピュータとのインタフェースの役割をもち、本体コンピュータから送信されてくる制御信号、クロックおよび表示用データを基に、ドレインドライバ211、および、ゲートドライバ206の駆動を行う。

【0143】本実施例1のTFT液晶表示モジュールにおける、表示制御装置201においては、本体コンピュータから送信されてくる単純1列の表示データを、ドレ

インドライバ 211 に入力するようにしている。

【0144】図 18 は、図 17 に示す表示制御装置 201 の概略構成を示すブロック図である。

【0145】図 19 は、図 18 に示す表示制御装置 201 のタイミングチャートを示す図である。

【0146】本実施例 1 の TFT 液晶表示モジュールにおいて、表示制御装置 201 は、データ処理部 221 と制御信号処理／生成部 222 とから構成され、制御信号処理／生成部 222 は、本体コンピュータからの制御信号（クロック、表示タイミング信号、同期信号）を受け、データ処理部 221 および各液晶ドライバ（ドレインドライバ 211、ゲートドライバ 206）への制御信号を生成する。

【0147】また、制御信号処理／生成部 222 は、ドレインドライバ駆動回路 224 と、ゲートドライバ駆動回路 223 と、出力クロック生成回路 225 からなり、出力クロック生成回路 225 において、データ出力クロックおよびドレインドライバ 211 へのシフトクロック（CL2）を生成する。

【0148】データ処理部 221 は、D 型フリップフロップ 226 と、論理処理回路 227 と、D 型フリップフロップ 228 とが従属接続されてなり、本体コンピュータからの表示用データを受け取り、制御信号処理／生成部 222 からのクロック信号を基にドレインドライバ 211 に表示用データを出力する。

【0149】データ処理部 221 の論理処理回路 227 は、表示用データを反転するために挿入されるもので、図 20 に示すマルチプレクサで構成できる。

【0150】Select に与える信号により表示データの反転、非反転を制御することが出来る。

【0151】なお、表示用データの反転が必要なければ、論理処理回路 227 は必要ない。

【0152】表示データの反転の必要性はドレインドライバ 211 の仕様によって決まる。

【0153】図 19 から明らかなように、ドレインドライバのシフトクロック及び出力データは、本体コンピュータから入力されるクロック信号および表示用データの周波数と同じであり、本体コンピュータからのクロック信号と同一周波数のクロック信号により、D 型フリップフロップ 226 に取り込まれた表示用データは、D 型フリップフロップ 228 からクロック信号によりデータバスに出力され、本体コンピュータから送信されてくる単純 1 列の表示用データを、データバスに出力する。

【0154】以上説明したように、本実施例 1 によれば、TFT 液晶表示モジュールにおいて、ドレインドライバを液晶表示パネルの上下のどちらか一方に配置するようにしたので、液晶表示パネルの額縁の面積を小さくでき、これにより、液晶表示装置の外形寸法に比べ表示領域を大きくすることが可能である。

【0155】また、本実施例 1 の TFT 液晶表示モジュール

ールにおいては、表示制御装置 201 とドレインドライバ 211 との間に図 5 に示すようにバッファ回路 210 が挿入されている。

【0156】図 21 は、本発明の液晶表示装置の他の実施例（実施例 4）である TFT 液晶表示モジュールのバッファ回路の概略構成を示すブロック図である。

【0157】前記実施例 1 の場合に、バッファ回路 210 からの 1 系統のクロック信号で全てのドレインドライバ 211 を駆動している。

【0158】この場合に、ドレインドライバ 211 の数が多くなったときに、バッファ回路 210 が、ドレインドライバ 211 を駆動できなくなる恐れがあり、安定したクロック信号が供給されない場合がある。

【0159】そのため、本実施例 4 の TFT 液晶表示モジュールにおいては、クロック信号を 2 系統に分け、その 2 系統のクロック信号を、各々独立したバッファ回路（451、452）から供給するようにしたものである。

【0160】これにより、負荷となるドレインドライバ 211 の数が多くなったときにおいても、安定したクロック信号を供給することが可能となる。

【0161】前記各実施例において、実際の液晶駆動回路は、それぞれ専用の LSI、IC を使用して液晶駆動回路が構成される。

【0162】図 22 は、本発明の液晶表示装置の他の実施例（実施例 5）である TFT 液晶表示モジュールの表示制御装置の概略構成を示すブロック図である。

【0163】図 22 において、前記図 39 と相違する部分は、TFT 液晶表示モジュールの表示制御装置 201 と液晶ドライバ（ドレインドライバ 211）との間に、バッファ回路（451、452）を挿入したことにある。

【0164】これにより、従来の TFT 液晶表示モジュールの表示制御装置 201 が負担していた液晶ドライバ（ドレインドライバ 211）の駆動を、バッファ回路（451、452）で行うようにしたものである。

【0165】このバッファ回路（451、452）は、駆動する出力端子数によっては複数個の半導体集積回路で構成することもできる。

【0166】これにより、表示制御装置 201 の消費電力、即ち、発熱を各バッファ回路（451、452）に分散することができる。

【0167】そして、表示制御装置 201 からバッファ回路（451、452）への配線容量（約 20 [pF]）に比べ、バッファ回路（451、452）から液晶ドライバ群（ドレインドライバ 211、ゲートドライバ 206）への配線容量（接続されるドライバ IC の個数にもよるが、約 100 [pF] 以上）が大きいことにより、表示制御装置 201 の消費電力を、各バッファ回路（451、452）に分散する効果は大きいものがある。

る。

【0168】また、上記実施例ではドレインドライバ211と表示制御装置201との間にバッファ451、452を設けることを例に説明したが、ゲートドライバ206（図示せず）と表示制御装置201との間にバッファを設けても良く、表示制御装置201の発熱を抑える効果がある。

【0169】なお、プリント基板上に部品を載置する場合、表示制御装置201とバッファ回路（451、452）とは、できるだけ近付けた方が、配線容量が低減するので表示制御装置201の消費電力を抑えることが可能である。

【0170】本実施例5のTFT液晶表示モジュールでは、前記バッファ回路（451、452）をあえてカスタム半導体集積回路として開発する必要はなく、標準半導体集積回路で実現可能である。

【0171】また、本実施例5のTFT液晶表示モジュールにおいては、バッファ回路（451、452）に、非反転回路素子を使用しているが、回路構成によっては、反転回路素子（インバータ）、あるいは、フリップ・フロップ回路を使用することも可能である。

【0172】しかし、本実施例5のTFT液晶表示モジュールでは、バッファ回路（451、452）を追加する関係上、実装される半導体集積回路の総面積が増加してしまうことと、表示制御装置201からバッファ回路（451、452）を駆動する分だけの消費電力が総合的には増加することになる。

【0173】また、表示制御装置201は、ドレインドライバ211の駆動において、制御信号より表示用データバスの方が出力本数が多い。

【0174】表示階調が増加すれば、その分、表示制御装置201からのデータの出力本数も増加する。

【0175】そこで、表示制御装置201を、データ処理部221と制御信号処理／生成部222とに分けて消費電力を、より少なくすることが可能である。

【0176】図23は、本発明の液晶表示装置の他の実施例（実施例6）であるTFT液晶表示モジュールの表示制御装置の概略構成を示すブロック図である。

【0177】本実施例6は、表示制御装置201を、データ処理部221と制御信号処理／生成部222とに分けた場合の実施例である。

【0178】図24は、図23に示すデータ処理部の回路構成を示す図である。

【0179】図25は、図23に示すデータ処理部のタイミングチャートを示す図である。

【0180】図23において、制御信号処理／生成部230は、本体コンピュータからの制御信号（クロック、表示タイミング信号、同期信号）を受けて、データ処理部（231、232）および各液晶ドライバへ（ドレインドライバ211、図示していないゲートドライバ20

6）の制御信号を生成する。

【0181】図24は図23のデータ処理部（231、232）を示し、マルチプレクサ233と、クロックCK1が入力されるD型フリップフロップ234と、クロックCK2が入力されるD型フリップフロップ235とが従属接続されてなり、本体コンピュータからの表示用データを受け取り、制御信号処理／生成部230からのクロック信号を基にドレインドライバ211に表示用データを出力する。

【0182】マルチプレクサ233は、図20に示す論理回路と同じであり、Selectに与える信号SELにより表示データの反転又は非反転を制御する。

【0183】図25に示すタイミングチャートから明らかのように、上側のデータ処理部231に入力されるクロック信号（CK2）と、下側のデータ処理部232に入力されるクロック信号（CK2'）とは、位相が180°相違しており、また、クロック信号（CK2）は、本体コンピュータからのクロック信号（クロック）の2倍の周期を有している。

【0184】これにより、上側および下側のデータ処理部（231、232）において、本体コンピュータからのクロック信号と同一周波数のクロック信号（CK1）により、D型フリップフロップ234に取り込まれた表示用データは、上側のデータ処理部231のD型フリップフロップ235において、クロック信号（CK2）により1つおきの表示用データ（a、c、e…）が取り込まれ、上側データバスに出力され、同様に、下側のデータ処理部232のD型フリップフロップ235において、クロック信号（CK2）により1つおきの表示用データ（b、d、f…）が取り込まれ、下側データバスに出力される。

【0185】なお、表示用データは、各色毎6ビットの18ビットで構成されている。

【0186】本実施例6のTFT液晶表示モジュールでは、データ処理部（231、232）がドレインドライバ211への駆動を兼ねているので、表示制御装置201の全消費電力は、従来例と変わらない。

【0187】また、制御信号処理／生成部230は、データ処理を行う必要がないので、パッケージの大きさは、従来例の表示制御装置201が、100から150端子数であったのに対して、本実施例6のTFT液晶表示モジュールでは、50以下の端子数で実現可能である。

【0188】本実施例6のTFT液晶表示モジュールにおいては、マルチプレクサ233が挿入されているが、これは、ドレインドライバ211に使用するICが、液晶に与える電圧の交流化周期に合わせて、データを反転する必要があるためである。

【0189】なお、データの反転が必要なく、また、データの取り込みが1回で処理できる場合には、このデー

タ処理部(231, 232)には、標準半導体集積回路が使用可能である。

【0190】図26は、本発明の液晶表示装置の他の実施例(実施例7)であるTFT液晶表示モジュールの表示制御装置の概略構成を示すブロック図である。

【0191】本実施例7は、前記実施例6において、本体コンピュータからの表示用データが2画素並列に上側および下側のデータ処理部に入力されるTFT液晶表示モジュールの実施例であり、高精細TFT液晶表示モジュールに対応した実施例である。

【0192】図27は、図26に示すデータ処理部のタイミングチャートを示す図である。

【0193】本実施例7のTFT液晶表示モジュールでは、図27のタイミングチャートから明かなように、本体コンピュータからの表示用データが2画素、並列に上側および下側のデータ処理部(231, 232)に入力されるために、クロック信号(CK1)およびクロック信号(CK2)が、本体コンピュータからのクロック信号(Clock)と同一周波数である。

【0194】これにより、上側および下側のデータ処理部(231, 232)において、本体コンピュータからのクロック信号と同一周波数のクロック信号(CK1)により、D型フリップフロップ234に取り込まれた表示用データは、D型フリップフロップ235から、クロック信号(CK2)により並列に入力された表示用データ(A, B, C...)および(a, b, c...)が、上側および下側データバスに出力される。

【0195】また、前記実施例6及び本実施例7のTFT液晶表示モジュールにおいては、データ処理部(231, 232)は、複数個の半導体集積回路で構成することができ、さらに、256階調等のより多階調化、高精細化に対応できるように、制御信号処理/生成部230を構成することにより、多階調化を実現する場合に、新しく制御信号処理/生成部230を開発する必要がなくなる。

【0196】さらに、この半導体集積回路においては前記のごとく発熱が抑えられるので、TSOP(Thin Small Outline Package)のような小型パッケージの半導体集積回路で実現することも可能である。

【0197】以上説明したように、前記各実施例のTFT液晶表示モジュールにおいては、従来のTFT液晶表示モジュールにおける表示制御装置201を複数個の半導体集積回路で構成、あるいは、機能を複数個の半導体集積回路で構成するようにしたので、消費電力を分散することが可能である。

【0198】また、図28に示すように、前記各実施例のTFT液晶表示モジュールにおいて、表示制御装置201が実装されるプリント基板(インタフェース基板)のI/F(インターフェース)コネクタに、特定の端子

を設け、当該特定端子からTFT液晶表示モジュールの電源部102の各種信号電圧の中でモニタしたい信号電圧、例えば、コモン信号電圧の直流レベル、コモン信号電圧の振幅レベル、ゲートオンおよびゲートオフ信号電圧の直流レベル、ゲートオンおよびゲートオフ信号電圧の振幅レベル、階調電圧等を取り出すようにすることも可能である。

【0199】それにより、I/Fコネクタを挿入して、TFT液晶表示モジュールの電源部102の各種信号電圧をモニタすることができ、これにより、製造工程中および最終検査工程における調整部分の調整作業が簡単化され、作業工程が低減化される。

【0200】また、前記図28に示すように、前記各実施例のTFT液晶表示モジュールにおいて、I/Fコネクタの特定端子を、TFT液晶表示モジュールの駆動回路の特定の箇所、例えば、図11に示すコモンドライバ203のオペアンプOP4の反転入力端子に接続し、外部から電圧を印加することにより、コモン信号電圧の直流レベルを外部から調整することもできる。

【0201】それにより、I/Fコネクタを挿入して、外部から調整電圧を印加することができ、これにより、TFT液晶表示モジュールの駆動回路の試験等が、TFT液晶表示モジュールを分解することなく、外部から簡単に行える。

【0202】また、前記各実施例のTFT液晶表示モジュールは、各色毎の表示用データが6ビットで構成され、64階調表示可能であるの対して、本体コンピュータから送信されてくる表示用データが、各色毎の6ビット未満の、例えば、各色毎の4ビットで構成されることが想定される。

【0203】その場合に、本体コンピュータ側からの各色毎の4ビットの表示用データを、各色毎の6ビットの表示用データに変換する必要がある。

【0204】そこで、本発明では、図29(a)に示すように、前記した場合における最適なデジタルーデジタル変換方法を提案する。

【0205】図29(a)において、出力4ビットは本体コンピュータからの出力される各色毎の4ビットの表示用データを示し、入力6ビットは前記各実施例におけるTFT液晶パネル(TFT-LCD)のドレインドライバ211に入力される各色毎の6ビットの表示用データを示す。

【0206】図29(a)に示すデジタルーデジタル変換方法においては、本体コンピュータ側からの4ビットの表示用データを、そのまま、TFT液晶パネル(TFT-LCD)のドレインドライバ211に入力される6ビットの上位4ビットの表示用データとし、TFT液晶パネル(TFT-LCD)のドレインドライバ211に入力される6ビットの入力データの無い下位2ビットに、本体コンピュータ側からの4ビットの上位2ビット

のデータを入力するようにしている。

【0207】図30に、図29(a)に示すデジタルーデジタル変換方法により、4ビットから6ビットに変換されたビット列を示す。

【0208】図30から明らかなように、図29(a)に示すデジタルーデジタル変換方法によれば、全ビットLow(0, 0, 0, 0, 0, 0)から、全ビットHigh(1, 1, 1, 1, 1, 1)までの間を最適な幅で間引いたビット列が得られる。

【0209】これにより、図29(a)に示すデジタルーデジタル変換方法では、表示用データの不足する下位ビットをLowまたはHighに固定する従来の方法と比べ、100%の白または黒を表示できるとともに、リニアな階調表示が可能となる。

【0210】なお、図29に示すデジタルーデジタル変換方法では、4ビットから6ビットに変換する場合を例にあげて説明したが、これに限定されるわけではない。

【0211】例えば、3ビットのコンピュータ出力を6ビットに変換して液晶モジュールに入力する場合は、図29(b)に示す回路を用いることによりリニアな階調表示が可能となる。また、2ビットのコンピュータ出力を6ビットに変換して液晶モジュールに入力する場合は、図29(c)に示す回路を用いれば良い。

【0212】図31～図38は、本発明の他の実施例(実施例8)であるTFT液晶表示モジュールを示す図であり、各ICとI/Fコネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【0213】図31、図32は図1に示すコントローラ部101を、図33、図34は図1に示すドレインドライバ部103を、図35、図36は図1に示すゲートドライバ部104を、図37、図38は図1に示す電源部102を示している。

【0214】本実施例8は、前記各実施例を一部含んでおり、例えば、図31、図32においては、表示制御装置201は、1つのLSIで構成され、また、表示制御装置201とドレインドライバ211との間にバッファ回路(IC2, IC3, IC4)が挿入されている。

【0215】さらに、クロック信号(CL2)は2系統に分けられ、IC3の内部のそれぞれ独立したバッファ回路から1つおきのドレインドライバICに供給されている。

【0216】なお、図31に示すI/Fコネクタ15～17は、図13に示すような視度調整用の抵抗を接続する端子であり、また、I/Fコネクタ18は、図38に示すオペアンプOP4の非反転端子に接続されており、コモン信号電圧の直流レベル、コモン信号電圧の振幅レベルをモニタ、あるいは、外部から電圧を印加することにより、コモン信号電圧の直流レベルを外部から調整するためのものである。

【0217】以上、本発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更し得ることは言うまでもない。

【0218】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0219】(1) TFT液晶表示ディスプレイにおいて、コモン電極を台形波の交流駆動電圧で駆動するようにしたので、駆動用トランジスタのピーク電流を抑制でき、これにより、TFT液晶表示ディスプレイの駆動回路が小型化され、TFT液晶表示ディスプレイの外形サイズを小さくすることが可能である。

【0220】(2) TFT液晶表示ディスプレイにおいて、ゲート電極を、直流のゲートオン電圧と、コモン電極電圧と同相同振幅の波形のゲートオフ電圧で駆動するようにしたので、回路構成が簡単になり、これにより、TFT液晶表示ディスプレイの外形サイズを小さくすることが可能である。

【0221】(3) TFT液晶表示ディスプレイにおいて、ダミーゲート信号線に、正規のゲート駆動電圧を印加するようにしたので、両端のラインの画素のコントラストを向上させることが可能である。

【0222】(4) TFT液晶表示ディスプレイにおいて、正電源とレベルシフト回路の出力端子との間にコンデンサを接続し、正電源に重畳されたノイズをキャンセルするようにしたので、レベルシフト回路の後段に接続される回路の誤動作を防止することが可能となり、これにより、耐ノイズ性を向上させることが可能である。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の実施例(実施例1)であるTFT液晶表示モジュールのTFT液晶表示パネルとその周辺に配置された回路を示すブロック図である。

【図2】図1に示すTFT液晶表示パネル(TFT-LCD)の等価回路を示す図である。

【図3】図1に示すTFT液晶表示パネル(TFT-LCD)の1画素の等価回路を示す図である。

【図4】図1に示すTFT液晶表示パネル(TFT-LCD)の1画素の等価回路の各ゲート信号線に接続される容量を示す図である。

【図5】本実施例1のTFT液晶表示モジュールの各ドライバの概略構成と、信号の流れを示すブロック図である。

【図6】図5に示すコモン電圧生成部の回路構成、および、入出力波形を示す図である。

【図7】コモン電極を台形波の交流駆動電圧で駆動することにより、駆動用トランジスタのピーク電流を抑制できることを示す図である。

【図8】本実施例1のTFT液晶表示モジュールにおけ

る、ゲートオン電圧生成部、ゲートオフ電圧生成部の回路構成を示す図である。

【図 9】本実施例 1 における、コモン電極に印加されるコモン電圧、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル、および、その波形を示す図である。

【図 10】本実施例 1 における、ゲートオン電圧生成部を省略した場合の、コモン電極に印加されるコモン電圧、ドレインに印加されるドレイン電圧、ゲート電極に印加されるゲート電圧のレベル、および、その波形を示す図である。

【図 11】本発明の液晶表示装置の実施例（実施例 2）である TFT 液晶表示モジュールの電源部の回路構成を示す図である。

【図 12】図 11 における、バッファ回路 430 の誤動作を説明するための図である。

【図 13】図 11 に示す回路構成において、コモン電圧生成部で生成される台形波のコモン電圧の振幅を変化させるために、端子 VA1, VA2, VA3 に接続する抵抗回路網を示す図である。

【図 14】本実施例 3 の TFT 液晶表示モジュールのドレインドライバの出力電圧発生回路の回路構成を示す図である。

【図 15】図 14 における各階調基準電圧と出力電圧との関係を示す図である。

【図 16】図 15 におけるデコーダ入力とデコーダ出力の対応関係を示す表である。

【図 17】本実施例 1 の TFT 液晶表示モジュールにおける、ドレインドライバに対する表示用データとクロック信号の流れを示す図である。

【図 18】図 17 に示す表示制御装置の概略構成を示すブロック図である。

【図 19】図 18 に示す表示制御装置のタイミングチャートを示す図である。

【図 20】図 18 に示す論理処理回路の回路構成を示す図である。

【図 21】本発明の液晶表示装置の他の実施例（実施例 4）である TFT 液晶表示モジュールのバッファ回路の概略構成を示すブロック図である。

【図 22】本発明の液晶表示装置の他の実施例（実施例 5）である TFT 液晶表示モジュールの表示制御装置の概略構成を示すブロック図である。

【図 23】本発明の液晶表示装置の他の実施例（実施例 6）である TFT 液晶表示モジュールの表示制御装置の概略構成を示すブロック図である。

【図 24】図 23 に示すデータ処理部の回路構成を示す図である。

【図 25】図 23 に示すデータ処理部のタイミングチャートを示す図である。

【図 26】本発明の液晶表示装置の他の実施例（実施例

7）である TFT 液晶表示モジュールの表示制御装置の概略構成を示すブロック図である。

【図 27】図 26 に示すデータ処理部のタイミングチャートを示す図である。

【図 28】I/F コネクタに特定の端子を設け、当該特定端子から TFT 液晶表示モジュールの内部の駆動回路を調整できることを説明するための図である。

【図 29】本発明のデジタルーデジタル変換方法を説明するための図である。

【図 30】図 29（a）に示すデジタルーデジタル変換方法により、4 ビットから 6 ビットに変換されたビット列を示す表である。

【図 31】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 32】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 33】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 34】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 35】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 36】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 37】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 38】本発明の他の実施例（実施例 8）である TFT 液晶表示モジュールを示す図であり、各 IC と I/F コネクタとの間の結線部分を含めて示す図であり、実際の液晶駆動回路の回路構成を示す図である。

【図 39】従来の TFT 液晶表示モジュールの概略構成を示すブロック図である。

【図 40】従来の TFT 液晶表示モジュールのドレインドライバの概略構成を示すブロック図である。

【図 41】従来の TFT 液晶表示モジュールのドレインドライバの出力電圧発生回路の回路構成を示す図であ

る。

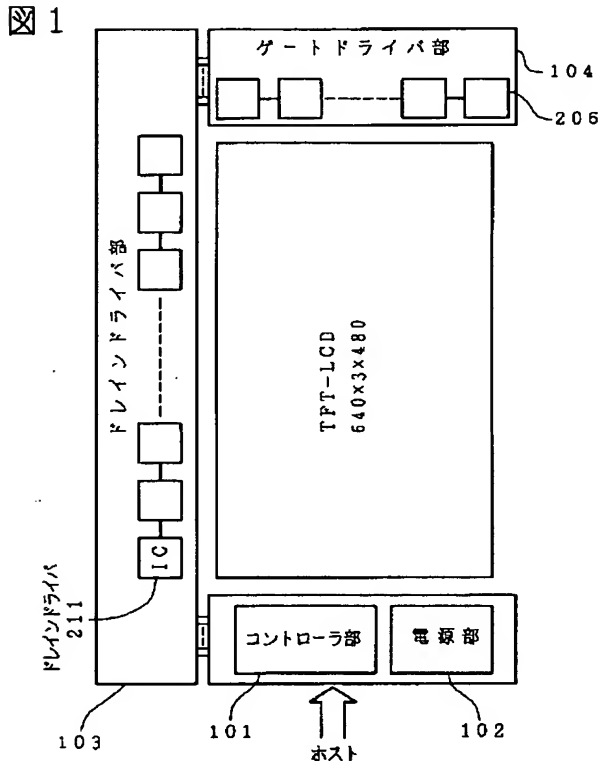
【図 4 2】図 4 1 における階調基準電圧と出力電圧との関係を示す図である。

【図 4 3】代表的な液晶の印加電圧-透過率特性を示す図である。

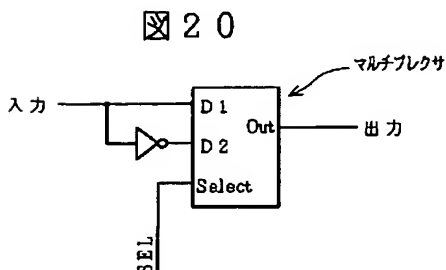
【符号の説明】

TFT-LCD…TFT液晶表示パネル、TR1～TR5…トランジスタ、OP1～OP4…オペアンプ、101…コントローラ部、102…電源部、103…ドレインドライバ部、104…ゲートドライバ部、201、501…表示制御装置、202…コモン電圧生成部、203…コモンドライバ、204…ゲートオン電圧生成部、205…ゲートオフ電圧生成部、206、506…ゲートドライバ、207…レベルシフト回路、208…階調

【図 1】

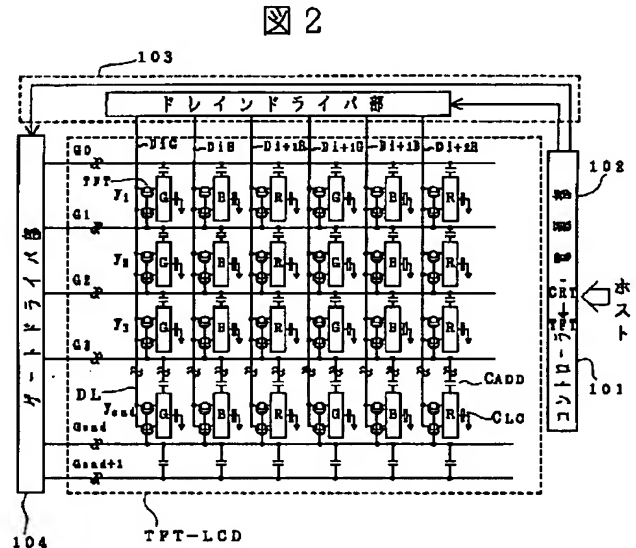


【図 2 0】



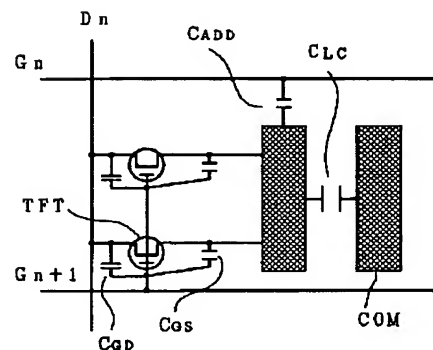
基準電圧生成部、209、233…マルチプレクサ、210、430、451、452…バッファ回路、211、511…ドレインドライバ、212…DC-DCコンバータ、221…データ処理部、222、230…制御信号処理/生成部、223…ゲートドライバ駆動回路、224…ドレインドライバ駆動回路、225…出力クロック生成回路、226、228、234、235…D型フリップフロップ、227…論理処理回路、231…上側のデータ処理部、232…下側のデータ処理部、253、553…デコーダ、302…コモン電圧発生回路、304…ゲートオン電圧発生回路、305…ゲートオフ電圧発生回路、410、420…レベルシフト回路、551…データラッチ部、552…出力電圧発生回路。

【図 2】



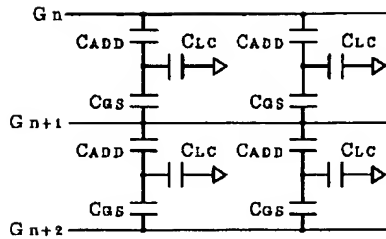
【図 3】

図 3



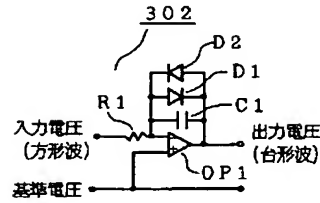
【図 4】

図 4

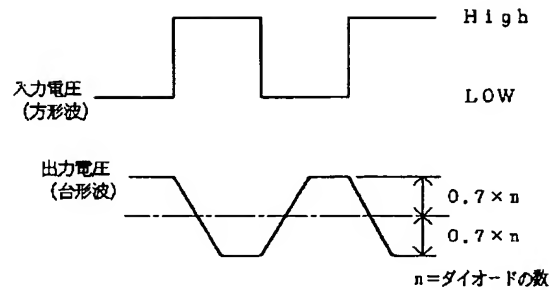


【図 6】

図 6 (a)

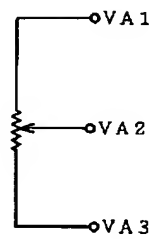


(b)



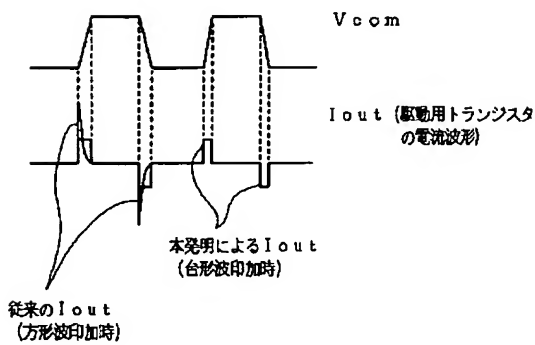
【図 13】

図 13



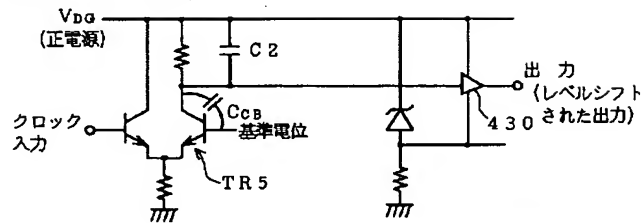
【図 7】

図 7

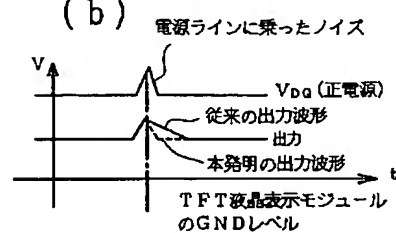


【図 12】

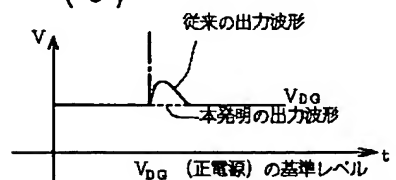
図 12 (a)



(b)

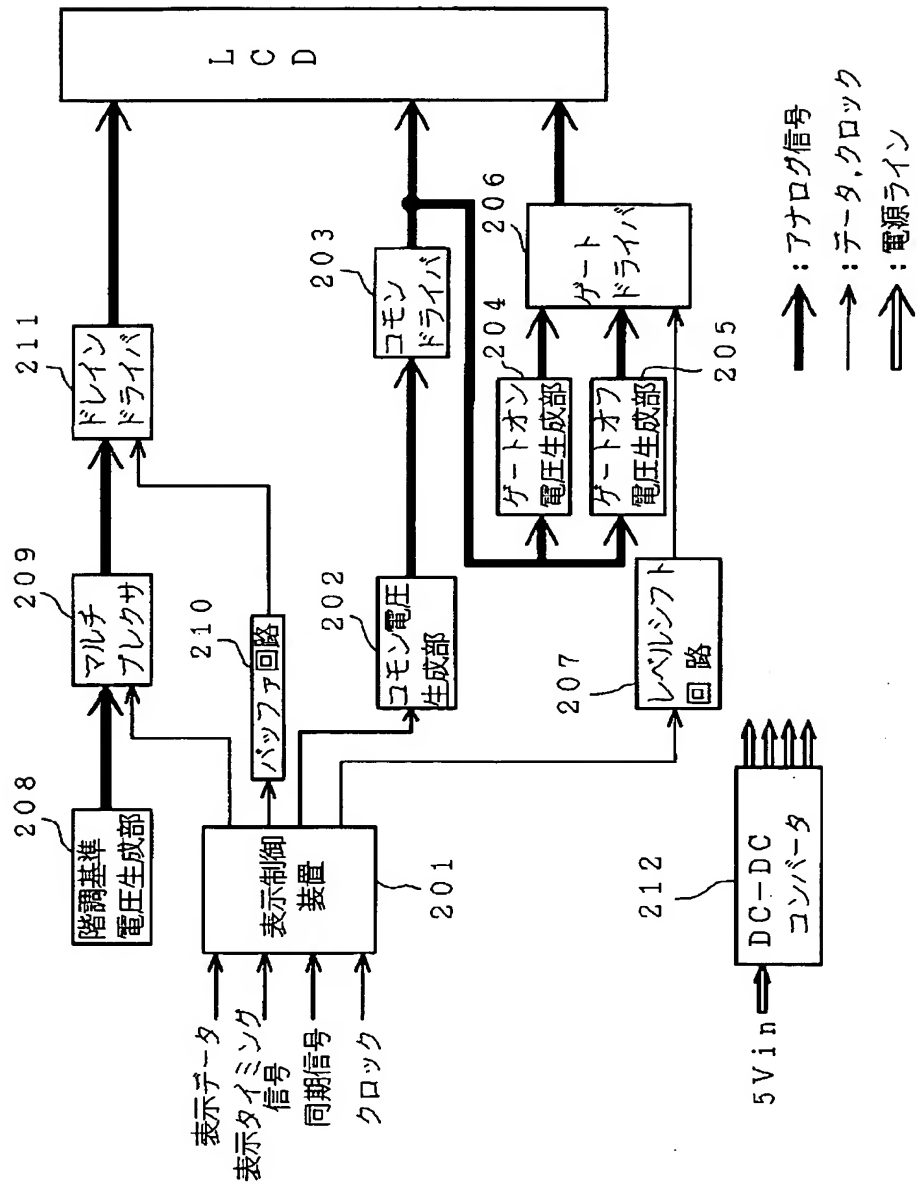


(c)

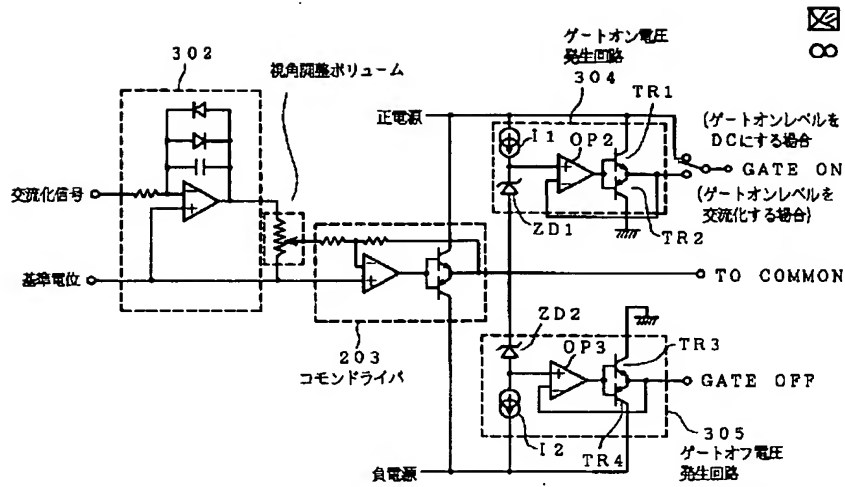


【図5】

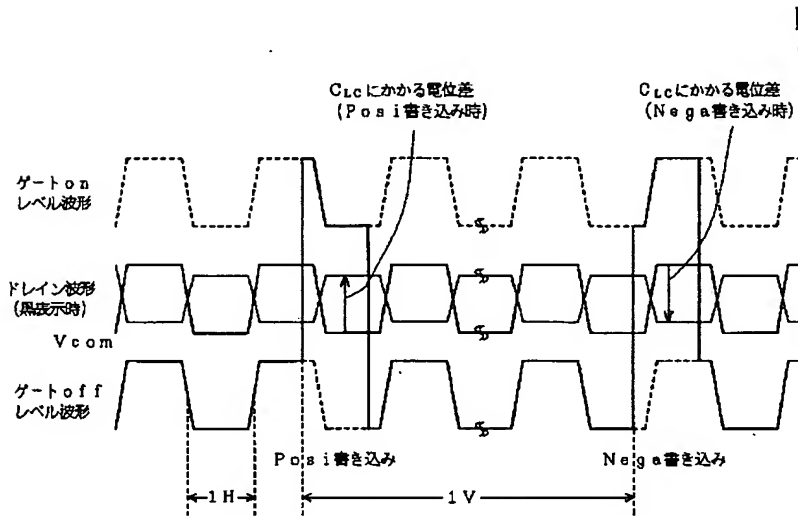
図 5



【図 8】

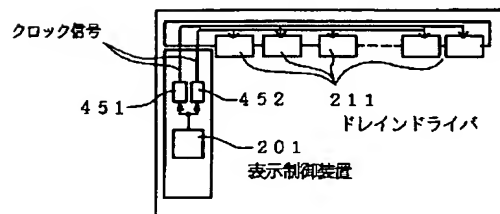


【図 9】



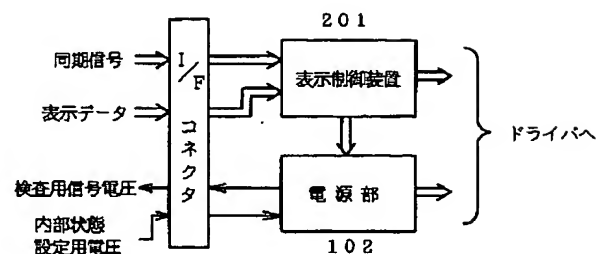
【図 21】

図 21

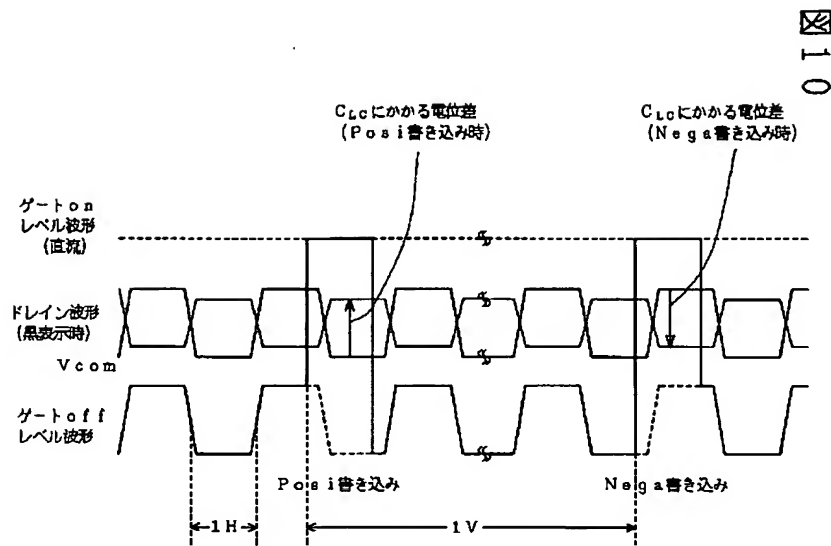


【図 28】

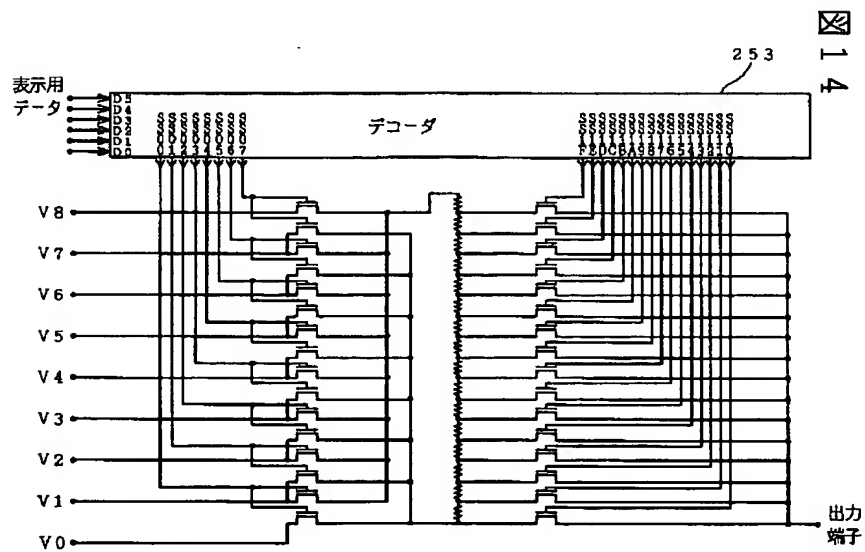
図 28



【図 10】

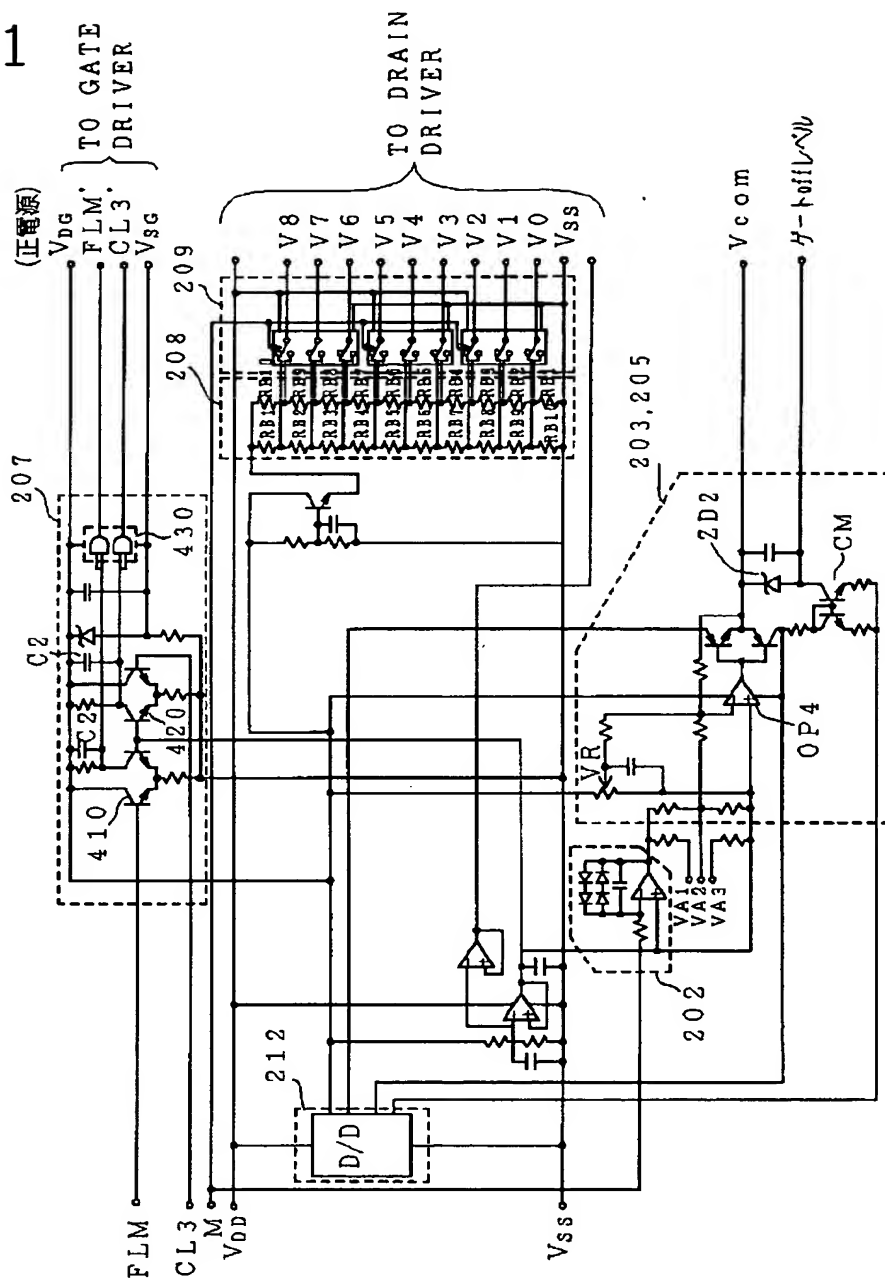


【図 14】

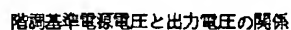


【図 11】

図 11

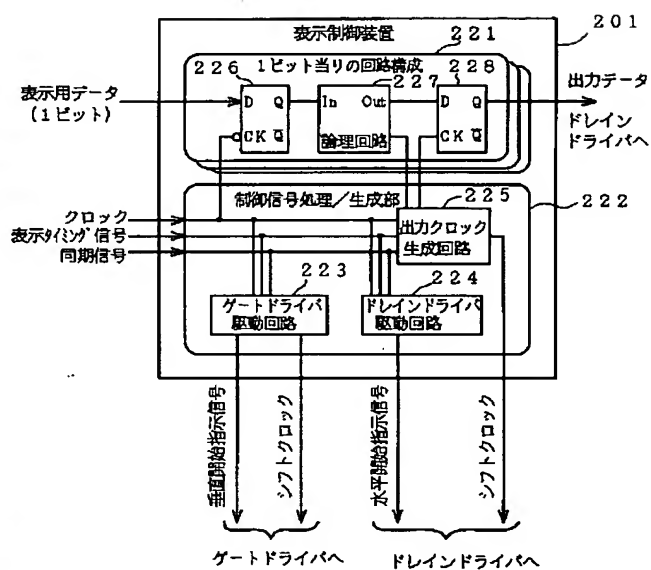


15

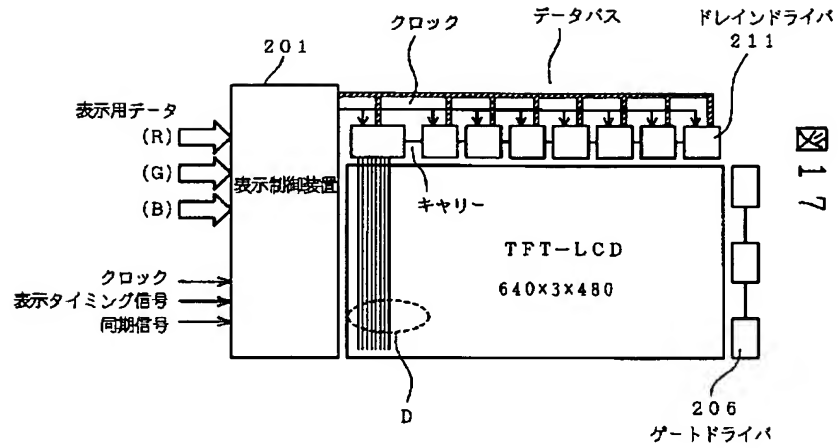


【图 18】

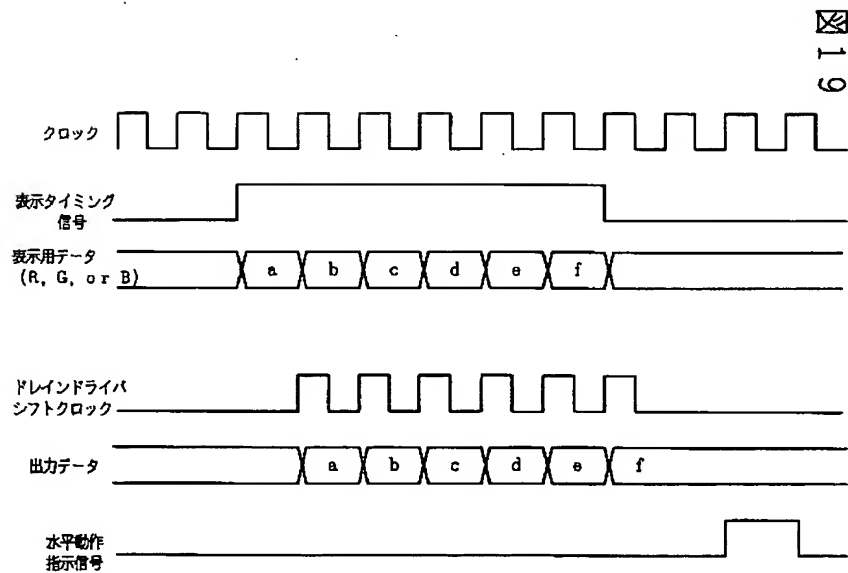
☒ 18



【図 17】



【図 19】



【図 2 2】

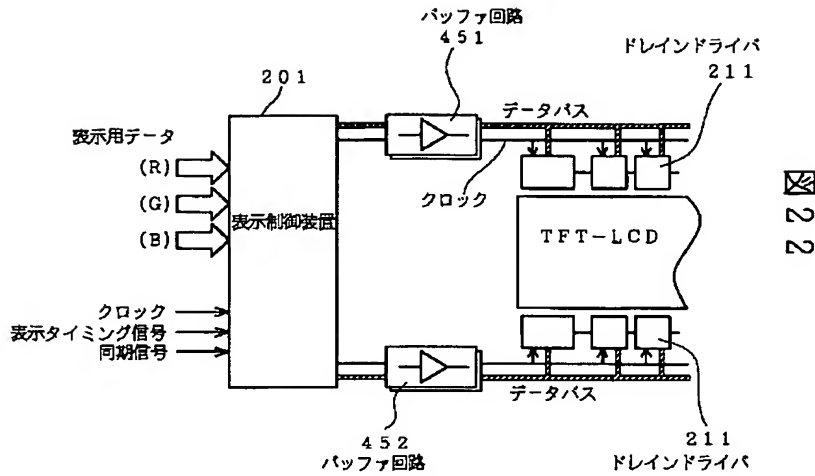
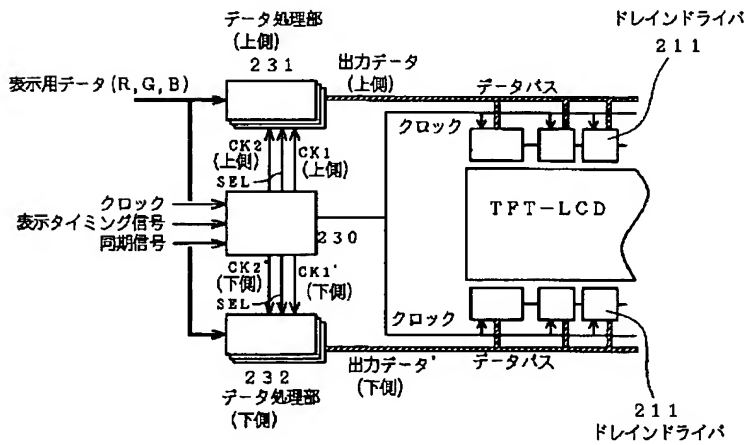


図 22

【図 2 3】

図 23



【図 3 0】

図 30

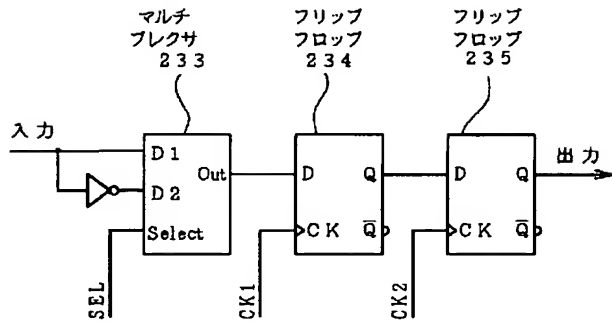
◎★	0000000	◎	1000000
	0000001		1000001
	0000100	★	1000010
	0000111	◎	1000011
◎★	0001000	◎	1001000
	0001001		1001001
	0001010	★	1001010
	0001100		1001100
◎★	0001111	◎	1001111
	0010000	◎	1010000
	0010001		1010001
	0010010	★	1010010
	0010011	◎	1010011
◎★	0011000	◎	1011000
	0011001		1011001
	0011010	★	1011010
	0011011	◎	1011011
◎★	0011100	◎	1100000
	0011101		1100001
	0011110	★	1100010
	0011111	◎	1100011
◎	0100000	◎	1101000
★	0100001		1101001
	0100010	★	1101010
	0100011	◎	1101011
◎	0101000	◎	1110000
★	0101001		1110001
	0101010	★	1110010
	0101011	◎	1110011
◎	0110000	◎	1111000
★	0110001		1111001
	0110010	★	1111010
	0110011	◎	1111011
◎	0111000	◎	1111100
★	0111001		1111101
	0111100	★	1111110
	0111101		1111111

◎ : 下位2bitをlowに固定したときに選ばれる階調

★ : 本方式を用いたときに選ばれる階調

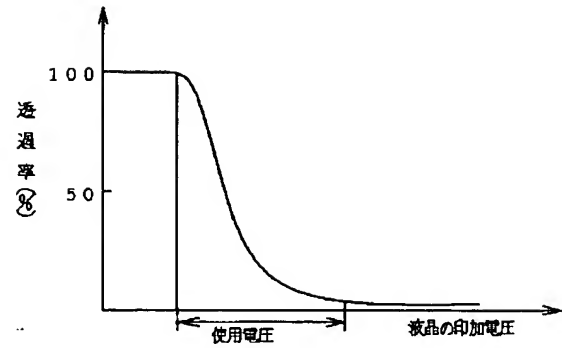
【図 2 4】

図 2 4

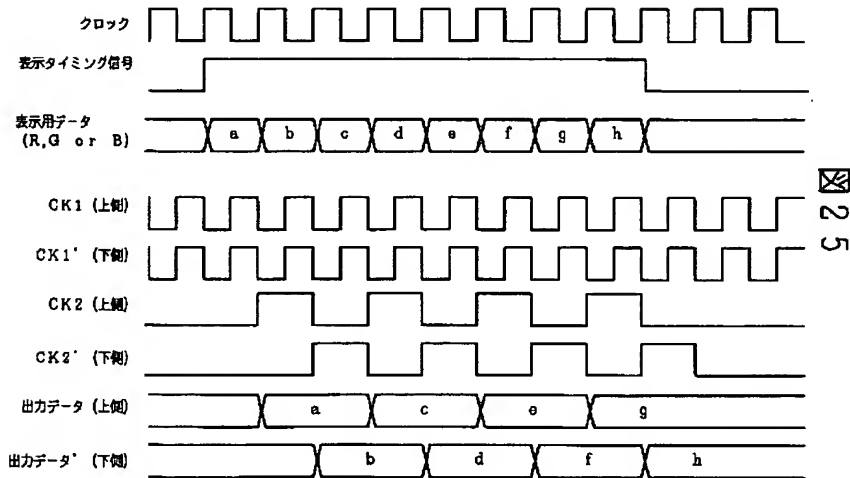


【図 4 3】

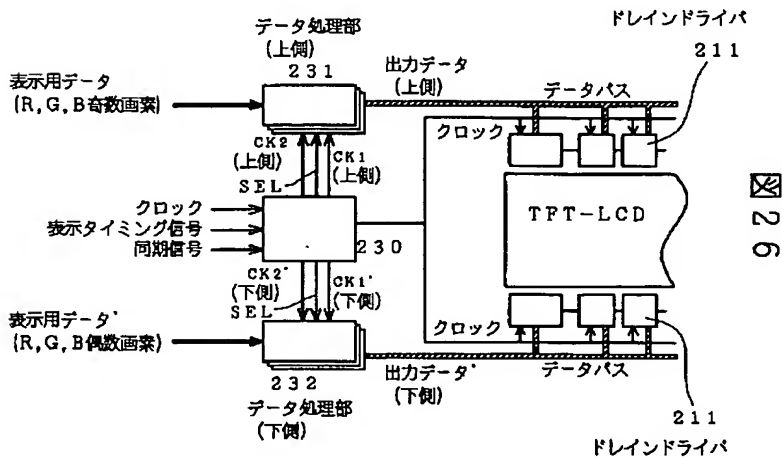
図 4 3



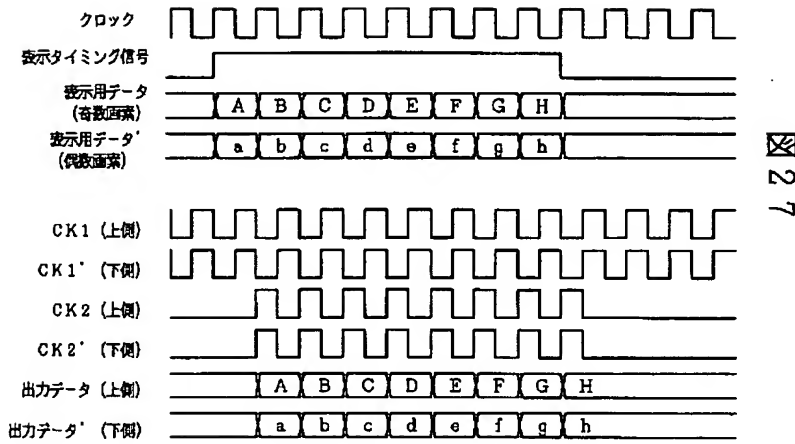
【図 2 5】



【図 2 6】

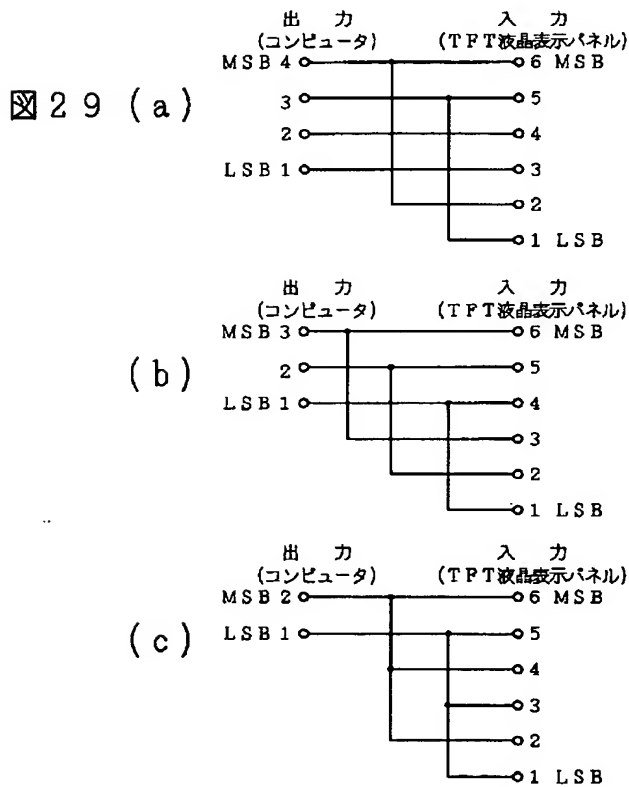


【図 27】

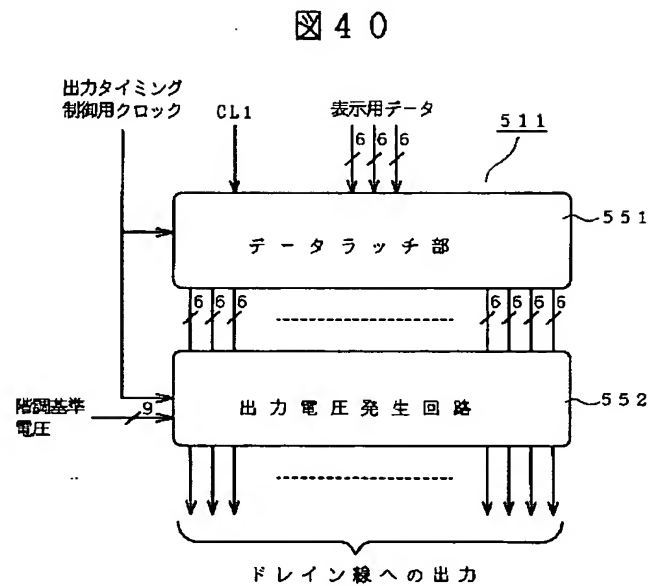


27

【図 29】

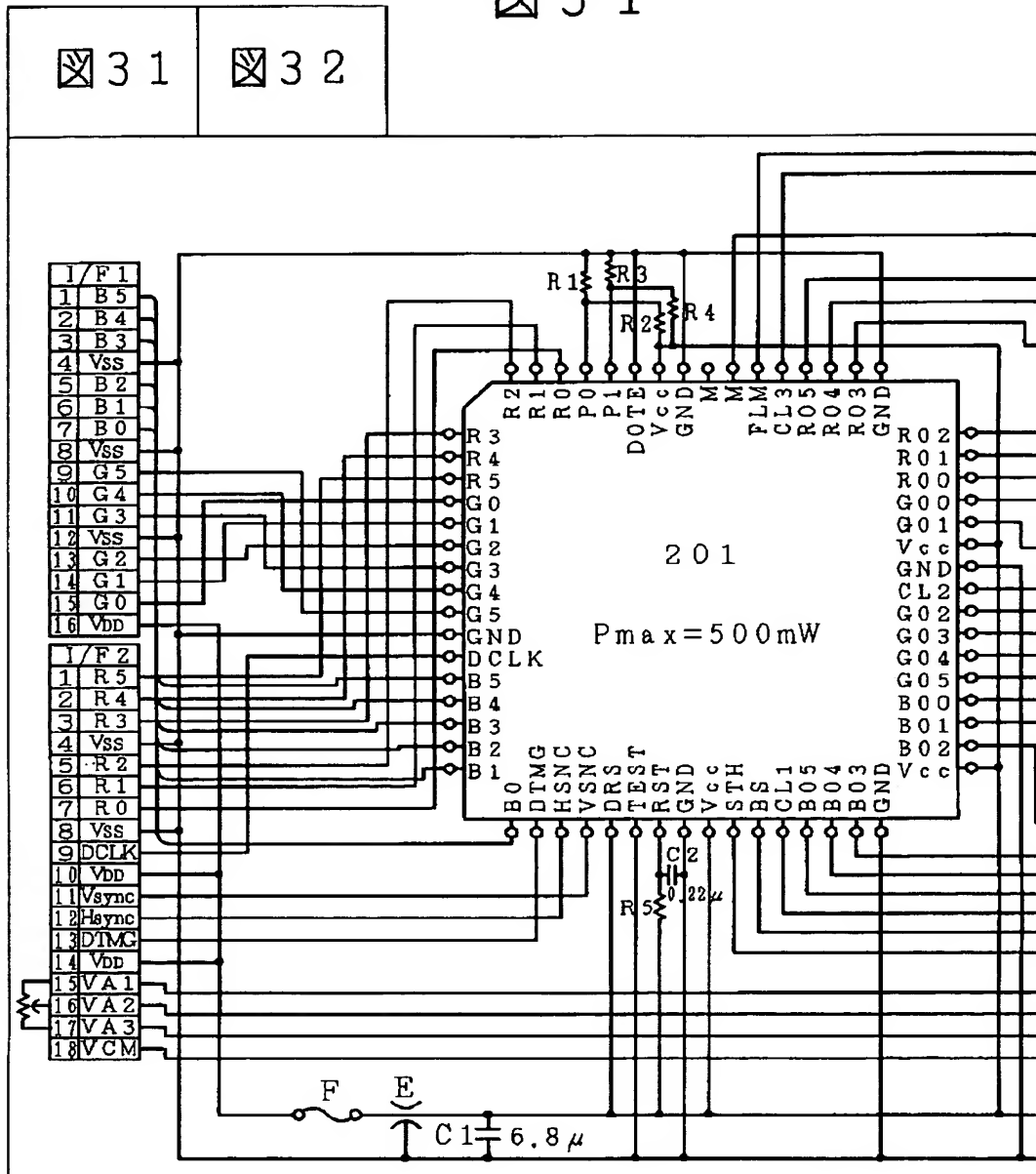


【図 40】



【図 3 1】

図 3 1



32

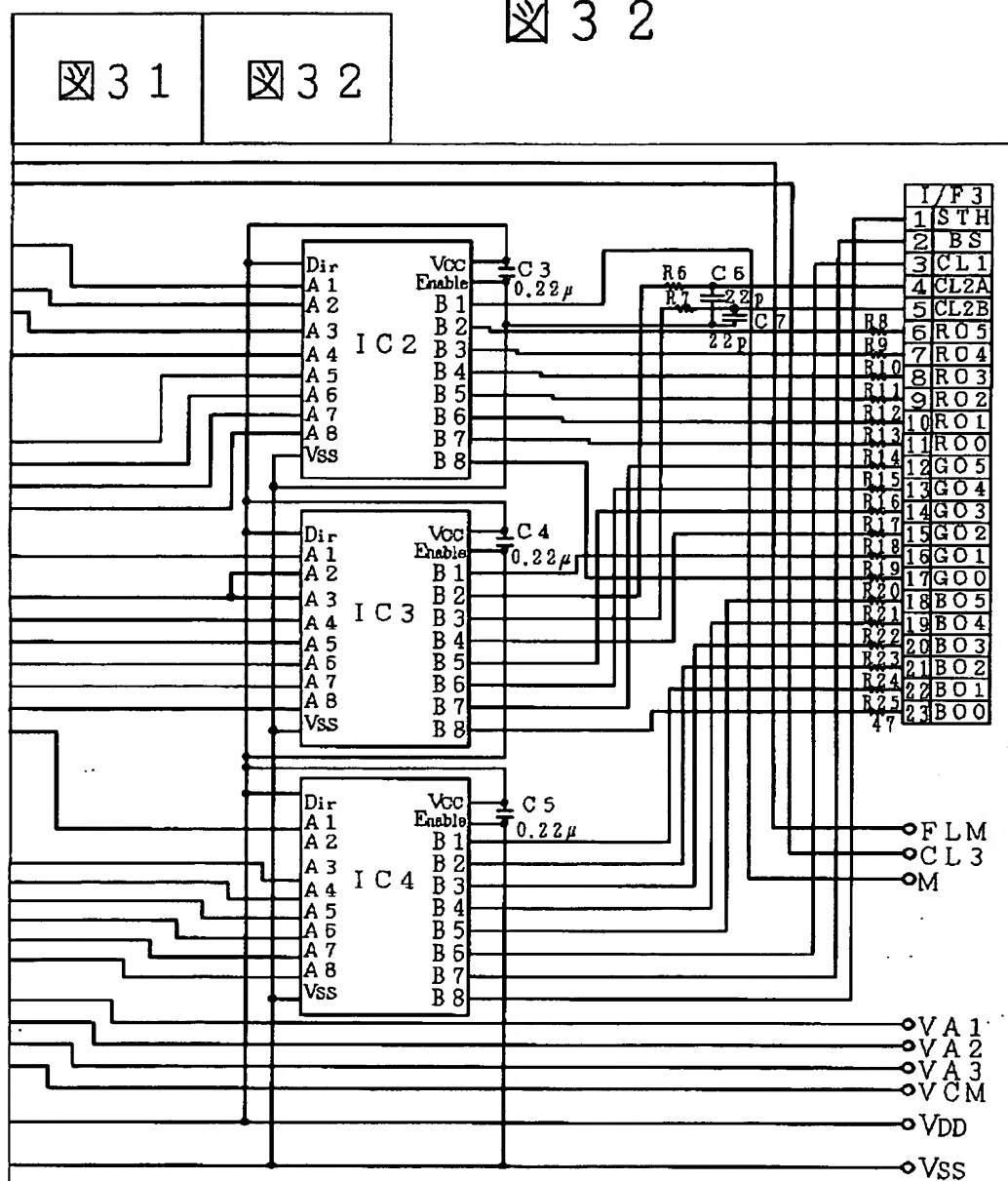
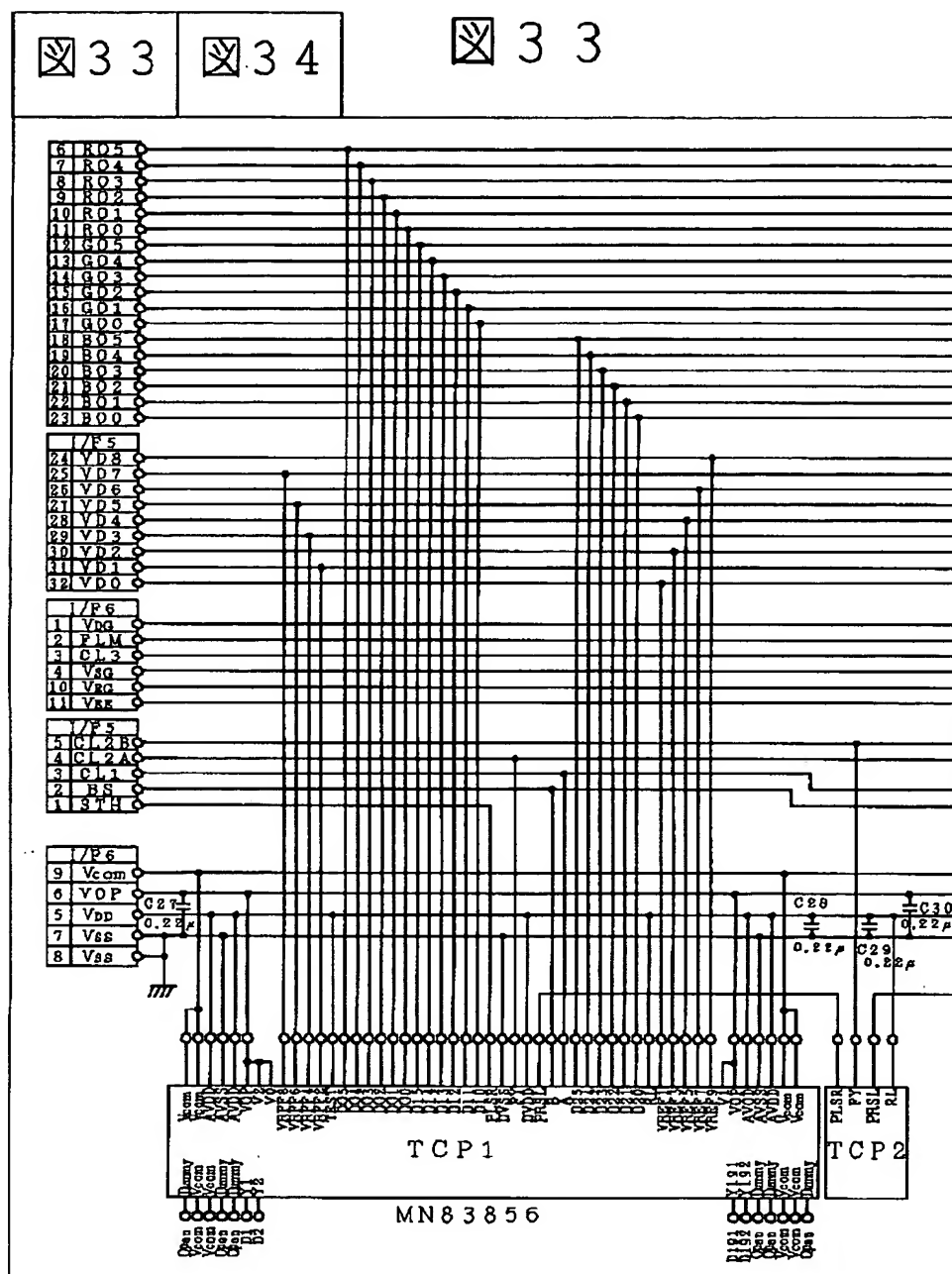


图 3 3

图 3 4

☒ 3 3



☒ 3 3

图 3 4

☒ 3 4

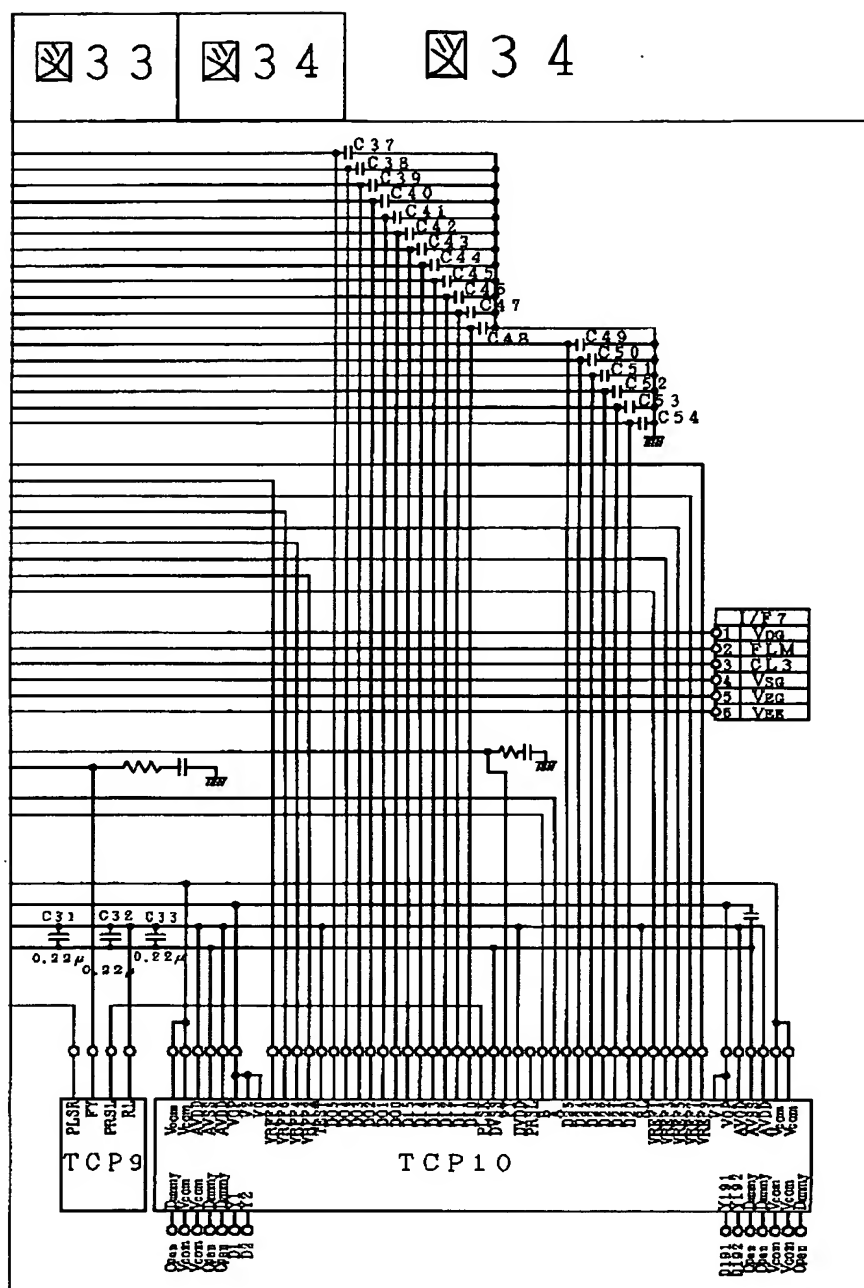


Figure 1 is a pin connection diagram for three 74VHC00 packages, labeled TCP13, TCP14, and TCP15. The diagram shows the internal pin connections and external components for each package.

Package TCP13:

- Pin 1: D101
- Pin 2: D102
- Pin 3: D103
- Pin 4: D104
- Pin 5: MODE1
- Pin 6: NC
- Pin 7: X1
- Pin 8: X100
- Pin 9: X101
- Pin 10: NC
- Pin 11: NC
- Pin 12: OPEN
- Pin 13: G400
- Pin 14: G476

Package TCP14:

- Pin 1: D101
- Pin 2: D102
- Pin 3: D103
- Pin 4: D104
- Pin 5: X0E2
- Pin 6: NC
- Pin 7: X1
- Pin 8: X100
- Pin 9: X101
- Pin 10: NC
- Pin 11: NC
- Pin 12: OPEN
- Pin 13: G400
- Pin 14: G477

Package TCP15:

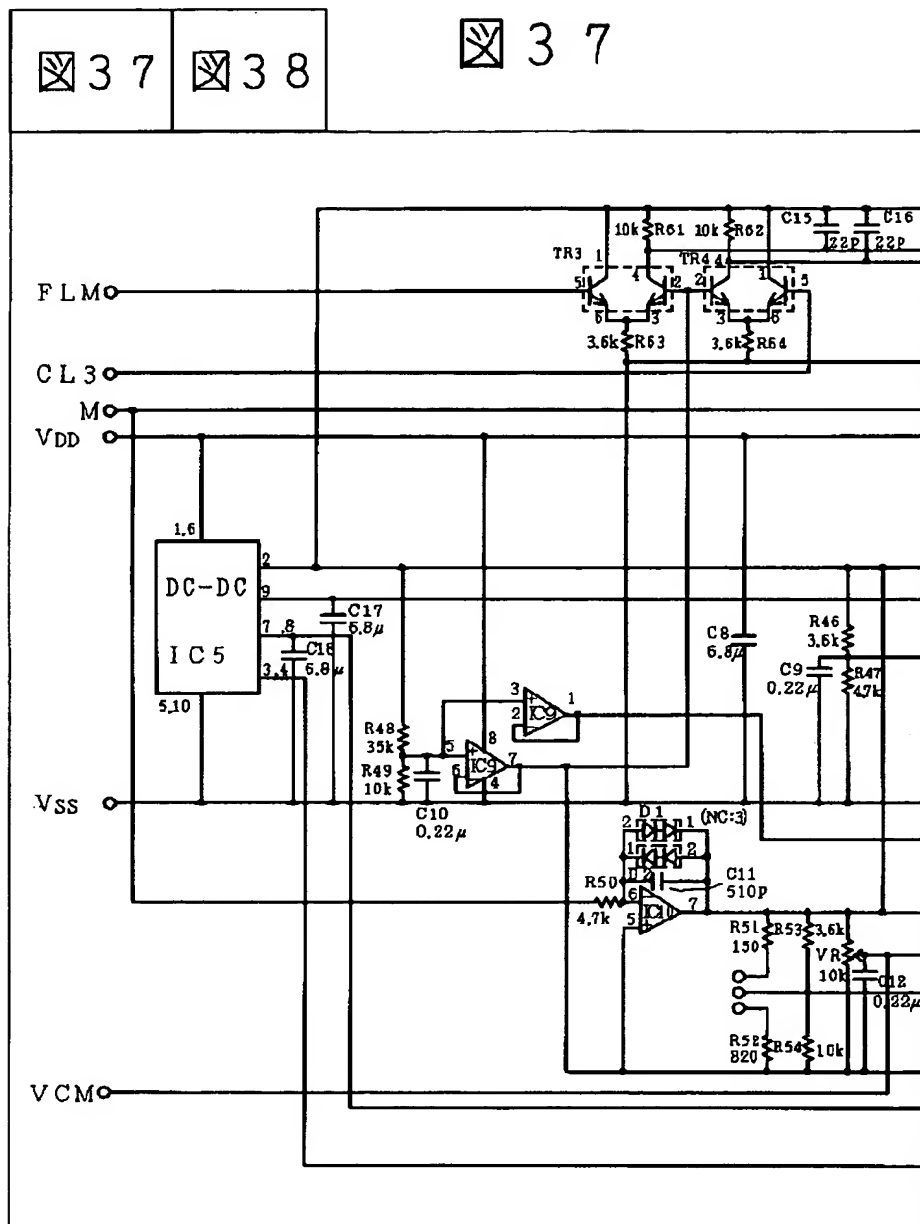
- Pin 1: V1
- Pin 2: V6
- Pin 3: V5
- Pin 4: V8
- Pin 5: X0E2
- Pin 6: D101
- Pin 7: CL
- Pin 8: GND
- Pin 9: D102
- Pin 10: D103
- Pin 11: SHC/A
- Pin 12: Vcc
- Pin 13: D137OFF-W
- Pin 14: D104
- Pin 15: X0E2
- Pin 16: V2
- Pin 17: V5
- Pin 18: V6
- Pin 19: V1
- Pin 20: NC
- Pin 21: X1
- Pin 22: X100
- Pin 23: X101
- Pin 24: NC
- Pin 25: NC
- Pin 26: OPEN
- Pin 27: G400
- Pin 28: G478
- Pin 29: G479
- Pin 30: G480
- Pin 31: G481/Driver

The diagram also shows a 0.1μF capacitor connected between GND and Vcc for each package.

☒ 3 7

图 3-8

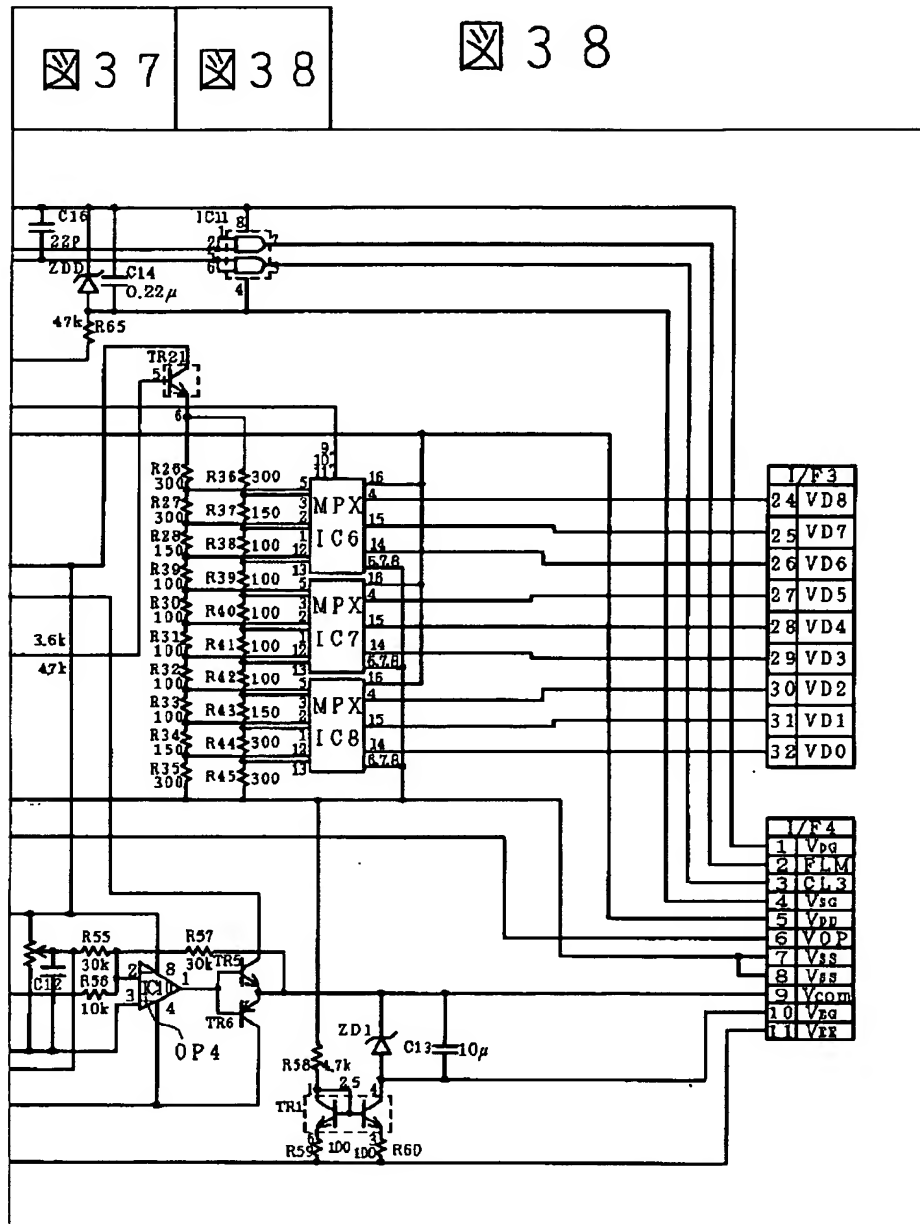
☒ 3 7



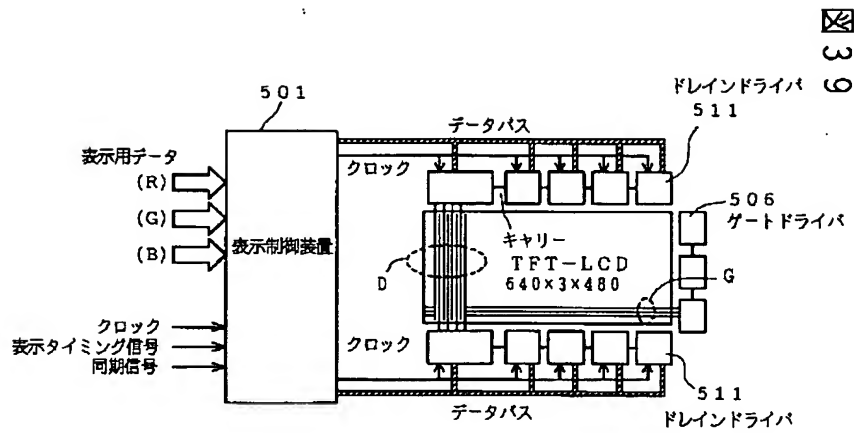
☒ 3 7

图 3 8

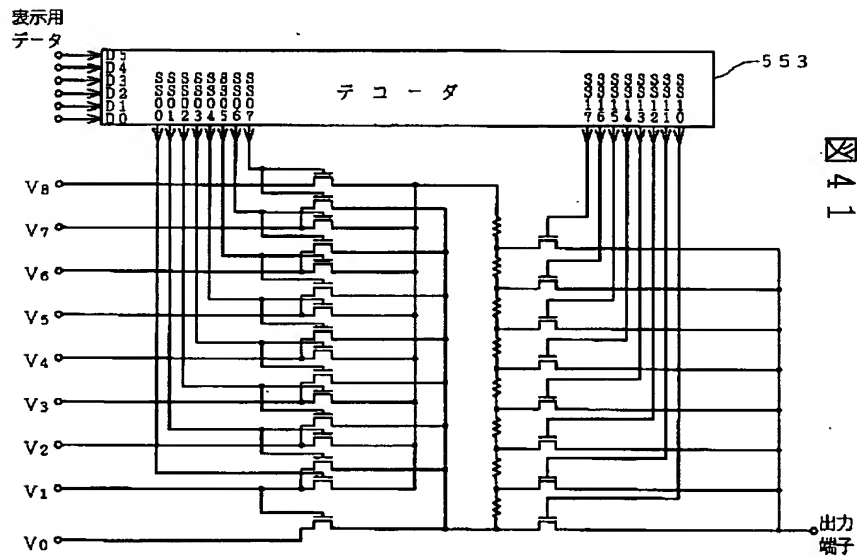
☒ 3 8



【図 3 9】



【図 4 1】



【図 4 2】

